

Docket No.: 67161-119

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Masaya NAKANO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: October 21, 2003	:	Examiner:
	:	
For: SEMICONDUCTOR MEMORY DEVICE INCLUDING RAS GUARANTEE CIRCUIT		

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

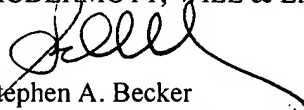
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-047174 (P), filed February 25, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: October 21, 2003

67161-119
Masaya NAKANO
October 21, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 2月25日

出 願 番 号
Application Number:

特願2003-047174

[ST.10/C]:

[JP2003-047174]

出 願 人
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3019434

【書類名】 特許願

【整理番号】 542816JP01

【提出日】 平成15年 2月25日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 29/00
G11C 11/34

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 中野 全也

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 データを記憶するメモリセルへのアクセスの開始を指示する第 1 の制御指令を通常動作モード時に受けたとき、少なくとも所定期間が経過するまで前記メモリセルへのアクセス動作を継続する半導体記憶装置であって、

前記メモリセルに接続されるワード線およびビット線対と、

外部から受ける制御指令に基づいて前記アクセス動作を制御する制御回路とを備え、

前記制御回路は、前記第 1 の制御指令をテストモード時に受けたとき、前記所定期間の経過に拘わらず、外部から受ける第 2 の制御指令に応じて前記アクセス動作の制御を終了する、半導体記憶装置。

【請求項 2】 前記所定期間は、前記データの前記メモリセルへのリストアを保証する期間である、請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記第 1 の制御指令を受けてから前記第 2 の制御指令を受けるまでの期間は、前記所定期間よりも短い、請求項 1 に記載の半導体記憶装置。

【請求項 4】 前記第 2 の制御指令は、前記ビット線対のプリチャージを指示するプリチャージ指令である、請求項 1 に記載の半導体記憶装置。

【請求項 5】 外部から受ける制御信号に基づいて前記制御指令の種別を判断するコマンドデコーダをさらに備え、

前記コマンドデコーダは、当該半導体記憶装置が受ける外部クロックに非同期の所定の制御信号が不活性化されたとき、前記第 2 の制御指令を外部から受けたと判断する、請求項 1 に記載の半導体記憶装置。

【請求項 6】 前記所定の制御信号は、前記第 1 の制御指令に対応して活性化された行アドレスストロブ信号である、請求項 5 に記載の半導体記憶装置。

【請求項 7】 前記制御回路から受ける動作指示に基づいて前記ワード線を活性化するワード線活性回路をさらに備え、

前記制御回路は、

前記ワード線の活性期間を保証するための保証信号を発生する保証信号発生回

路と、

少なくとも前記保証信号が活性化されているとき、前記第 1 および第 2 の制御指令ならびに前記保証信号発生回路から受ける前記保証信号に基づいて前記ワード線の活性化を指示する内部信号を発生し、その発生した内部信号を前記ワード線活性回路へ出力する内部信号発生回路とを含み、

前記保証信号発生回路は、前記通常動作モード時、前記所定期間が経過するまで前記保証信号を活性化し、前記テストモード時は、前記保証信号を不活性化する、請求項 1 に記載の半導体記憶装置。

【請求項 8】 前記保証信号発生回路は、

前記内部信号発生回路によって発生された前記内部信号に対して前記所定期間遅延した信号を生成する遅延回路と、

前記遅延回路からの出力信号と前記テストモード時に活性化されるテストモード信号とに基づいて前記保証信号を発生し、その発生した前記保証信号を前記内部信号発生回路へ出力する出力回路とからなる、請求項 7 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体記憶装置に関し、特に、所定の内部行活性時間を保証する R A S 保証回路を備えた半導体記憶装置に関する。

【0002】

【従来の技術】

代表的な半導体記憶装置の 1 つである D R A M (Dynamic Random Access Memory) における動作テストとして、ワード線の活性期間（以下では、この活性期間を「R A S 幅」とも称し、特に、D R A M の外部から設定される活性期間を「外部 R A S 幅」、実際に D R A M 内部における活性期間を「内部 R A S 幅」とも称する。）を短縮することによるメモリセルの動作マージンテストが知られている。

【0003】

すなわち、D R A Mにおいては、メモリセルにアクセスがなされると、選択メモリセルと同一のワード線に接続されるその他のメモリセルのデータも破壊されるため、センスアンプによるセンス動作とともにメモリセルへのデータのリストア動作が行なわれる。ここで、データ線（ビット線）とデータを記憶するキャパシタとを接続するアクセストランジスタの電流駆動力が小さいメモリセルが存在すると、そのメモリセルにおいては、ワード線の活性期間内にリストア動作を終えることができなくなる。

【 0 0 0 4 】

このような電流駆動力の小さい不良メモリセルにおいては、リストア動作においてメモリセルへの電荷の再充填が十分になされないため、その後のセンス動作においてセンス不良が発生する。そこで、この内部 R A S 幅を積極的に短縮してメモリセルの動作マージンをテストすることによって、電流駆動力の小さい不良メモリセルを検出し、排除することができる。

【 0 0 0 5 】

また、D R A Mにおけるその他の動作テストとして、特開 2 0 0 0 - 2 1 1 9 7 号公報には、ライトコマンドリード時間 t_{RWL} やプリチャージ時間 t_{PR} を短縮するテスト方法が開示されている（特許文献 1 参照）。この特開 2 0 0 0 - 2 1 1 9 7 号公報に開示された半導体記憶装置は、ライトコマンドリード時間 t_{RWL} およびプリチャージ時間 t_{PR} を短縮するテストが測定装置の制約によって十分にできないという問題に対して、ライトコマンドリード時間 t_{RWL} およびプリチャージ時間 t_{PR} に相当する時間を内部発生する遅延回路を備え、測定装置固有の規定値よりも短い時間の外部 / R A S 信号に対するライトコマンドリード時間 t_{RWL} およびプリチャージ時間 t_{PR} で、半導体記憶装置の動作テストを実行することができる。

【 0 0 0 6 】

一方、D R A Mにおいては、不適切な外部 R A S 幅設定から記憶データの破壊を防止するため、内部 R A S 幅を所定幅（所定期間）確保する R A S 保証回路が設けられているものが知られている。すなわち、上述したように、D R A Mにおいては、センス動作とともにメモリセルへのデータのリストア動作が行なわれる

ところ、メモリセルにおけるアクセストランジスタの電流駆動力を超えて、短時間の外部 R A S 幅が設定されたときは、リストア動作が完了せず、記憶データが破壊される可能性がある。

【 0 0 0 7 】

そこで、上述した R A S 保証回路は、外部から設定される外部 R A S 幅が短くても、データのリアストアが十分に完了するのに必要な時間を確保するため、内部 R A S 幅を所定期間確保する。そして、外部 R A S 幅がこの所定期間よりも大きいときは、R A S 保証回路は実質的に機能せず、外部 R A S 幅がこの所定期間よりも小さいとき、R A S 保証回路が機能して記憶データの破壊が防止される。

【 0 0 0 8 】

【特許文献 1】

特開 2 0 0 0 - 2 1 1 9 7 号公報明細書

【 0 0 0 9 】

【発明が解決しようとする課題】

上述の R A S 保証回路は、外部 R A S 幅が短いことによる誤動作を防止するための回路であるが、内部 R A S 幅を短縮するテストを行なう際には、反対にこの R A S 保証回路が障害となる。すなわち、内部 R A S 幅を短縮するために短期間の外部 R A S 幅が外部から設定されても、R A S 保証回路が動作するため、内部 R A S 幅は、少なくとも上述の所定期間が確保されてしまう。したがって、従来の R A S 保証回路を備えた半導体記憶装置では、R A S 保証回路が保証する所定期間よりも短期間の内部 R A S 幅で上述のテストを行なうことはできない。

【 0 0 1 0 】

また、特開 2 0 0 0 - 2 1 1 9 7 号公報に開示された半導体記憶装置は、ライトコマンドリード時間 t_{RWL} やプリチャージ時間 t_{PR} を短縮するテストが可能な半導体記憶装置に関するものであり、上述の R A S 保証回路が設けられた半導体記憶装置において、R A S 保証回路が規定する所定期間より内部 R A S 幅を短縮することはできない。

【 0 0 1 1 】

また、この半導体記憶装置は、ライトコマンドリード時間 t_{RWL} やプリチャ

ージ時間 t_{PR} を短縮することによって、結果的に内部 R A S 幅を変更できるものではあるが、R A S 保証回路が設けられている場合には、R A S 保証回路が動作するため、上述の所定期間より短く内部 R A S 幅を変更することはできない。したがって、この半導体記憶装置では、上述した問題点を解決することはできない。

【 0 0 1 2 】

さらに、特開 2 0 0 0 - 2 1 1 9 7 号公報に開示された半導体記憶装置は、データの書込動作をテスト対象としているが、内部 R A S 幅を直接変更できれば、データの読出動作もテスト対象とすることができる。

【 0 0 1 3 】

そこで、この発明は、かかる課題を解決するためになされたものであり、その目的は、テストモード時、内部 R A S 幅を外部から制御することができる半導体記憶装置を提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

この発明によれば、半導体記憶装置は、データを記憶するメモリセルへのアクセスの開始を指示する第 1 の制御指令を通常動作モード時に受けたとき、少なくとも所定期間が経過するまでメモリセルへのアクセス動作を継続する半導体記憶装置であって、メモリセルに接続されるワード線およびビット線対と、外部から受ける制御指令に基づいてアクセス動作を制御する制御回路とを備え、制御回路は、第 1 の制御指令をテストモード時に受けたとき、所定期間の経過に拘わらず、外部から受ける第 2 の制御指令に応じてアクセス動作の制御を終了する。

【 0 0 1 5 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

【 0 0 1 6 】

〔実施の形態 1〕

図 1 は、この発明の実施の形態 1 による半導体記憶装置の全体構成を示す概略

ブロック図である。

【 0 0 1 7 】

図 1 を参照して、半導体記憶装置 1 0 は、制御信号端子 1 2 と、クロック端子 1 4 と、アドレス端子 1 6 と、バンクアドレス端子 1 8 と、データ入出力端子 2 0 とを備える。また、半導体記憶装置 1 0 は、入力バッファ 2 2 と、データ入出力バッファ 2 4 と、コマンドデコーダ 2 6 と、行アドレスデコーダ 2 8 と、列アドレスデコーダ 3 0 と、テストモードデコーダ 3 2 とを備える。さらに、半導体記憶装置 1 0 は、制御回路 3 4 と、ワード線活性回路 3 6 と、センスアンプ／入出力制御回路 3 8 と、メモリセルアレイ 4 0 とを備える。

【 0 0 1 8 】

制御信号端子 1 2 は、行アドレスストロープ信号 *ext.* /RAS、列アドレスストロープ信号 *ext.* /CAS、ライトイネーブル信号 *ext.* /WE、およびチップセレクト信号 *ext.* /CS のコマンド制御信号を外部から受ける。クロック端子 1 4 は、外部クロック *ext.* CLK を外部から受ける。アドレス端子 1 6 は、アドレス信号 *ext.* ADD を外部から受ける。バンクアドレス端子 1 8 は、バンクアドレス信号 *ext.* BA を外部から受ける。

【 0 0 1 9 】

入力バッファ 2 2 は、行アドレスストロープ信号 *ext.* /RAS、列アドレスストロープ信号 *ext.* /CAS、ライトイネーブル信号 *ext.* /WE、およびチップセレクト信号 *ext.* /CS のコマンド制御信号、ならびにアドレス信号 *ext.* ADD およびバンクアドレス信号 *ext.* BA を外部クロック *ext.* CLK に応じて取込んでラッチし、各信号に対応する内部コマンド制御信号、内部アドレス信号 ADD、および内部バンクアドレス信号 /BA を発生する。また、入力バッファ 2 2 は、外部クロック *ext.* CLK を受けて内部クロック CLK を発生する。

【 0 0 2 0 】

そして、入力バッファ 2 2 は、コマンドデコーダ 2 6、テストモードデコーダ 3 2、および制御回路 3 4 へ内部コマンド制御信号を出力する。また、入力バッファ 2 2 は、内部アドレス信号 ADD を行アドレスデコーダ 2 8 および列アドレ

ステコーダ 3 0 へ出力する。さらに、入力バッファ 2 2 は、内部クロック C L K を制御回路 3 4 およびデータ入出力バッファ 2 4 へ出力する。

【 0 0 2 1 】

データ入出力端子 2 0 は、半導体記憶装置 1 0 において読み書きされるデータを外部とやり取りする。データ入出力端子 2 0 は、データ書込時は外部から入力されるデータ D Q を受け、データ読出時はデータ D Q を外部へ出力する。

【 0 0 2 2 】

データ入出力バッファ 2 4 は、データ書込時は、入力バッファ 2 2 から受ける内部クロック C L K に応じてデータ D Q を取込んでラッチし、内部データ I D Q をセンスアンプ／入出力制御回路 3 8 へ出力する。一方、データ入出力バッファ 2 4 は、データ読出時は、入力バッファ 2 2 から受ける内部クロック C L K に応じて、センスアンプ／入出力制御回路 3 8 から受ける内部データ I D Q をデータ入出力端子 2 0 へ出力する。

【 0 0 2 3 】

コマンドデコーダ 2 6 は、入力バッファ 2 2 から受ける内部コマンド制御信号に基づいて内部コマンドを発生し、その発生した内部コマンドを制御回路 3 4 へ出力する。

【 0 0 2 4 】

行アドレスデコーダ 2 8 は、入力バッファ 2 2 から内部アドレス信号 A D D を受け、内部アドレス信号 A D D によって指定される行アドレスに対応するワード線を選択するための行アドレス信号 R A を生成し、ワード線活性回路 3 6 へ出力する。列アドレスデコーダ 3 0 は、入力バッファ 2 2 から内部アドレス信号 A D D を受け、内部アドレス信号 A D D によって指定される列アドレスに対応するビット線対を選択するための列アドレス信号 C A を生成し、センスアンプ／入出力制御回路 3 8 へ出力する。

【 0 0 2 5 】

テストモードデコーダ 3 2 は、内部コマンド制御信号および内部アドレス信号 A D D を入力バッファ 2 2 から受け、それらの信号に基づいてテストモード信号 T M T R A S を生成し、制御回路 3 4 へ出力する。ここで、テストモードデコー

ダ 3 2 は、内部コマンド制御信号および内部アドレス信号 A D D に基づいて、内部 R A S 幅を短縮してメモリセルの動作マージンをテストする動作モード（以下、単に「テストモード」と称する。）が指示されたと判断したとき、テストモード信号 T M T R A S を H（論理ハイ）レベルで出力する。一方、テストモードデコーダ 3 2 は、テストモードでない、すなわち、動作モードが通常動作モードのときは、テストモード信号 T M T R A S を L（論理ロー）レベルで出力する。

【 0 0 2 6 】

制御回路 3 4 は、入力バッファ 2 2 から受ける内部クロック C L K に応じて、コマンドデコーダ 2 6、入力バッファ 2 2、およびテストモードデコーダ 3 2 からそれぞれ内部コマンド、内部コマンド制御信号、およびテストモード信号 T M T R A S を受ける。そして、制御回路 3 4 は、それらの信号に基づいて、ワード線活性回路 3 6、列アドレスデコーダ 3 0、およびデータ入出力バッファ 2 4 を制御する。制御回路 3 4 の具体的な構成およびその動作については、後ほど詳しく説明する。

【 0 0 2 7 】

ワード線活性回路 3 6 は、制御回路 3 4 からの制御指令に基づいて動作し、行アドレスデコーダ 2 8 から受ける行アドレス信号 R A に対応するワード線を活性化する。

【 0 0 2 8 】

センスアンプ／入出力制御回路 3 8 は、データ書込時は、データ入出力バッファ 2 4 から受ける内部データ I D Q の論理レベルに応じて、列アドレスデコーダ 3 2 から受ける列アドレス信号 C A に対応するビット線対を電源電圧レベルまたは接地電圧レベルにプリチャージする。これによって、ワード線活性回路 3 6 によって活性化されたワード線と、列アドレスデコーダ 3 0 によって選択され、センスアンプ／入出力制御回路 3 8 によってプリチャージされたビット線対とに接続されるメモリセルアレイ 4 0 上のメモリセルに内部データ I D Q の書込みが行なわれる。

【 0 0 2 9 】

一方、センスアンプ／入出力制御回路 3 8 は、データ読出時は、データ読出前

に列アドレスデコーダ 3 0 によって選択されたビット線対をプリチャージし、選択されたビット線対において読出データに対応して発生する微小電圧変化を検出／増幅して読出データの論理レベルを判定し、その判定結果をデータ入出力バッファ 2 4 へ出力する。

【 0 0 3 0 】

メモリセルアレイ 4 0 は、メモリセルが行列状に配列された記憶素子群であり、各行に対応するワード線を介してワード線活性回路 3 6 と接続され、また、各列に対応するビット線対を介してセンスアンプ／入出力制御回路 3 8 と接続される。

【 0 0 3 1 】

この半導体記憶装置 1 0 は、動作モードとして、通常動作モードと上述のテストモードとを取り得る。通常動作モードでは、制御回路 3 4 は、外部から設定される外部 R A S 幅が短くても、データのリストアが十分に完了するのに必要な時間を確保するため、少なくとも所定期間の内部 R A S 幅を確保する。すなわち、この所定期間内にプリチャージコマンドが外部から入力されても、制御回路 3 4 は、その所定期間が終了するまでワード線活性回路 3 6 を継続して活性化し、ワード線活性回路 3 6 は、その所定期間が経過するまでワード線の活性化を継続する。

【 0 0 3 2 】

一方、テストモードでは、制御回路 3 4 は、内部 R A S 幅を所定期間確保するインターロックを解除する。上述したように、内部 R A S 幅を短縮してメモリセルの動作マージンテストを可能とするためである。したがって、テストモード時は、プリチャージコマンドが外部から入力されると、制御回路 3 4 は、そのタイミングでワード線活性回路 3 6 を不活性化し、ワード線活性回路 3 6 は、制御回路 3 4 からの指令に応じてワード線を不活性化する。

【 0 0 3 3 】

図 2 は、図 1 に示した半導体記憶装置 1 0 において入力バッファ 2 2 からワード線活性回路 3 6 までの構成を詳細に示した機能ブロック図である。なお、以下では、図 1 の説明と重複する部分については、説明を繰返さない。

【 0 0 3 4 】

図 2 を参照して、入力バッファ 2 2 は、内部行アドレスストローブ信号 R A S、内部列アドレスストローブ信号 C A S、 \neg C A S、内部チップセレクト信号 C S、および内部ライトイネーブル信号 W E、 \neg W E をコマンドデコーダ 2 6 へ出力する。また、入力バッファ 2 2 は、内部バンクアドレス信号 \neg B A を後述する内部 R A S 発生回路 5 2 へ出力し、内部アドレス信号 A D D < 0 : m > (m は自然数) を行アドレスデコーダ 2 8 へ出力する。さらに、入力バッファ 2 2 は、テストモードデコーダ 3 2 へも上述の内部コマンド制御信号および所定の内部アドレス信号 A D D < i > (i は所定の自然数) を出力する。

【 0 0 3 5 】

コマンドデコーダ 2 6 は、入力バッファ 2 2 から受ける各信号に基づいて、アクティブ信号 \neg A C T およびプリチャージ信号 \neg P R E を発生し、その発生した各信号を内部 R A S 発生回路 5 2 へ出力する。

【 0 0 3 6 】

制御回路 3 4 は、内部 R A S 発生回路 5 2 と、ワード線活性信号発生回路 5 4 と、内部 R A S 保証信号発生回路 5 6 とを含む。

【 0 0 3 7 】

内部 R A S 発生回路 5 2 は、アクティブ信号 \neg A C T、プリチャージ信号 \neg P R E、内部バンクアドレス信号 \neg B A、および内部 R A S 保証信号 R A S L O C K を受け、ワード線の活性化を指示する内部信号 R A S E をそれらの信号に基づいて発生し、その発生した内部信号 R A S E をワード線活性信号発生回路 5 4 へ出力する。

【 0 0 3 8 】

この内部 R A S 発生回路 5 2 は、内部バンクアドレス信号 \neg B A が L レベルのときにアクティブ信号 \neg A C T を受けると、内部信号 R A S E を H レベルで出力する。そして、内部 R A S 発生回路 5 2 は、少なくとも内部 R A S 保証信号発生回路 5 6 から出力される内部 R A S 保証信号 R A S L O C K が L レベルである間は、内部信号 R A S E を H レベルで出力する。すなわち、内部 R A S 保証信号 R A S L O C K は、内部 R A S 幅を最低限保証する信号であり、この信号がアサー

ト（Lレベル）されているときは、内部RAS発生回路52は、ワード線の不活性化を指示するプリチャージ信号／PREを受けたとしても内部信号RASEをHレベルに保持する。

【0039】

一方、内部RAS発生回路52は、内部RAS保証信号RASLOCKがHレベルであれば、プリチャージ信号／PREを受付けたタイミングで内部信号RASEをLレベルにする。

【0040】

ワード線活性信号発生回路54は、内部RAS発生回路52から内部信号RASEを受け、内部信号RASEがHレベルのとき、ワード線活性信号RXTをHレベルで出力してワード線活性回路36を活性化する。また、ワード線活性信号発生回路54は、内部信号RASEに応じて内部信号／SNSを内部RAS保証信号発生回路56へLレベルで出力し、ワード線の活性化が指示されたことを内部RAS保証信号発生回路56へ通知する。

【0041】

内部RAS保証信号発生回路56は、テストモード信号TMTRASおよび内部信号／SNSを受け、テストモード信号TMTRASがLレベルのとき、すなわち通常動作モード時、内部信号／SNSに応じて内部RAS保証信号RASLOCKをLレベルで出力し、内部で計時する内部RAS保証期間の経過後、内部RAS保証信号RASLOCKをネゲート（Hレベル）する。

【0042】

一方、内部RAS保証信号発生回路56は、テストモード信号TMTRASがHレベルのとき、すなわちテストモード時、ワード線の活性化が指示されたことを示す内部信号／SNSに拘わらず、内部RAS保証信号RASLOCKをHレベルに保持する。言いかえると、テストモード時、内部RAS保証信号発生回路56は、内部RAS幅を保証するためのインターロック信号である内部RAS保証信号RASLOCKをアサート（Lレベル）しない。

【0043】

そして、ワード線活性回路36は、ワード線活性信号RXTに応じて、行アド

レスデコーダ 2 8 から受ける行アドレス信号 $RA<0:n>$ によって指定されるワード線 $<0:n>$ を活性化する。

【 0 0 4 4 】

ここで、内部 R A S 発生回路 5 2 は、「内部信号発生回路」を構成し、内部 R A S 保証信号発生回路 5 6 は、「保証信号発生回路」を構成する。

【 0 0 4 5 】

図 3 は、図 2 に示した入力バッファ 2 2 の構成を示す回路図である。

図 3 を参照して、入力バッファ 2 2 は、回路 2 2 1 ～ 2 2 6 を含む。回路 2 2 1 は、インバータ G 1 ～ G 4 と、クロックドインバータ G 2 2 と、NAND ゲート G 2 8 とからなり、回路 2 2 2 は、インバータ G 5 ～ G 8 と、クロックドインバータ G 2 3 と、NAND ゲート G 2 9 とからなる。回路 2 2 3 は、インバータ G 9 ～ G 1 2 と、クロックドインバータ G 2 4 と、NAND ゲート G 3 0 とからなり、回路 2 2 4 は、インバータ G 1 3 ～ G 1 6 と、クロックドインバータ G 2 5 と、NAND ゲート G 3 1 とからなる。回路 2 2 5 は、インバータ G 1 7, G 1 8 と、クロックドインバータ G 2 6 と、NAND ゲート G 3 2 とからなり、回路 2 2 6 は、インバータ G 1 9 ～ G 2 1 と、クロックドインバータ G 2 7 と、NAND ゲート G 3 3 とからなる。

【 0 0 4 6 】

回路 2 2 1 において、インバータ G 1 は、行アドレスストローブ信号 $ext.$ / R A S を反転した信号を出力する。クロックドインバータ G 2 2 は、外部クロック $ext.$ C L K が H レベルのとき、インバータ G 1 からの出力信号を反転した信号を出力する。インバータ G 2 は、クロックドインバータ G 2 2 からの出力信号を反転した信号を出力し、インバータ G 3 は、インバータ G 2 からの出力信号を反転した信号をインバータ G 2 へ出力する。このインバータ G 2, G 3 は、ラッチ回路を構成する。

【 0 0 4 7 】

NAND ゲート G 2 8 は、インバータ G 2 からの出力信号および外部クロック $ext.$ C L K の論理積を演算し、その演算結果を反転した信号を出力する。インバータ G 4 は、NAND ゲート G 2 8 からの出力信号を反転した信号を内部行

アドレスストローブ信号RASとして出力する。

【0048】

この回路221は、外部クロックext. CLKがHレベルのとき、行アドレスストローブ信号ext. /RASを取込んで内部行アドレスストローブ信号RASを出力する。

【0049】

回路222～224の回路構成は、回路221の構成と同じである。回路222は、外部クロックext. CLKがHレベルのとき、チップセレクト信号ext. /CSを取込んで内部チップセレクト信号CSを出力する。回路223は、外部クロックext. CLKがHレベルのとき、ライトイネーブル信号ext. /WEを取込んで内部ライトイネーブル信号WE, /WEを出力する。回路224は、外部クロックext. CLKがHレベルのとき、列アドレスストローブ信号ext. /CASを取込んで内部列アドレスストローブ信号CAS, /CASを出力する。

【0050】

回路225において、クロックドインバータG26は、外部クロックext. CLKがHレベルのとき、バンクアドレス信号ext. BAを反転した信号を出力する。インバータG17, G18は、ラッチ回路を構成する。NANDゲートG32は、インバータG17からの出力信号および外部クロックext. CLKの論理積を演算し、その演算結果を反転した信号を内部バンクアドレス信号/B Aとして出力する。

【0051】

この回路225は、外部クロックext. CLKがHレベルのとき、バンクアドレス信号ext. BAを取込んで内部バンクアドレス信号/B Aを出力する。

【0052】

回路226において、クロックドインバータG27は、外部クロックext. CLKがHレベルのとき、アドレス信号ext. ADD<0:m>を反転した信号を出力する。インバータG19, G20は、ラッチ回路を構成する。NANDゲートG33は、インバータG19からの出力信号および外部クロックext.

CLKの論理積を演算し、その演算結果を反転した信号を出力する。インバータG21は、NANDゲートG33からの出力信号を反転した信号を内部アドレス信号ADD<0:m>として出力する。

【0053】

この回路226は、外部クロックext、CLKがHレベルのとき、アドレス信号ext、ADD<0:m>を取込んで内部アドレス信号ADD<0:m>を出力する。

【0054】

図4は、図2に示したコマンドデコーダ26の構成を示す回路図である。

図4を参照して、コマンドデコーダ26は、NANDゲートG41～G46を含む。NANDゲートG41は、内部行アドレスストロブ信号RAS、内部列アドレスストロブ信号/CAS、内部ライトイネーブル信号/WE、および内部チップセレクト信号CSの論理積を演算し、その演算結果を反転した信号をアクティブ信号/ACTとして出力する。NANDゲートG42は、内部行アドレスストロブ信号RAS、内部列アドレスストロブ信号/CAS、内部ライトイネーブル信号WE、および内部チップセレクト信号CSの論理積を演算し、その演算結果を反転した信号をプリチャージ信号/PREとして出力する。

【0055】

NANDゲートG43は、後述の内部信号RASLAT、内部列アドレスストロブ信号CAS、および内部ライトイネーブル信号/WEの論理積を演算し、その演算結果を反転した信号をリード信号/READとして出力する。NANDゲートG44は、内部信号RASLAT、内部列アドレスストロブ信号CAS、および内部ライトイネーブル信号WEの論理積を演算し、その演算結果を反転した信号をライト信号/WRITEとして出力する。

【0056】

NANDゲートG45は、アクティブ信号/ACTおよびNANDゲートG46からの出力信号の論理積を演算し、その演算結果を反転した信号を内部信号RASLATとして出力する。NANDゲートG46は、プリチャージ信号/PREおよびNANDゲートG45からの出力信号の論理積を演算し、その演算結果

を反転した信号をNANDゲートG45へ出力する。

【0057】

このNANDゲートG45、G46は、RSフリップフロップ回路を構成する。すなわち、セット入力としてのアクティブ信号／ACTがLレベルになると、フリップフロップ回路はセット状態となり、内部信号RASLATはHレベルとなる。そして、リセット入力としてのプリチャージ信号／PREがLレベルになると、フリップフロップ回路はリセット状態となり、内部信号RASLATはLレベルとなる。

【0058】

このコマンドデコーダ26は、内部行アドレスストロブ信号RAS、内部列アドレスストロブ信号CAS、内部ライトイネーブル信号WE、および内部チップセレクト信号CSがそれぞれHレベル、Lレベル、Lレベル、Hレベルのとき、アクティブ信号／ACTをアサート（Lレベル）する。

【0059】

また、コマンドデコーダ26は、内部行アドレスストロブ信号RAS、内部列アドレスストロブ信号CAS、内部ライトイネーブル信号WE、および内部チップセレクト信号CSがそれぞれHレベル、Lレベル、Hレベル、Hレベルのとき、プリチャージ信号／PREをアサート（Lレベル）する。

【0060】

さらに、コマンドデコーダ26は、アクティブ信号／ACTがLレベルとなつてからプリチャージ信号／PREがLレベルになるまで、すなわち行活性期間において、内部列アドレスストロブ信号CASおよび内部ライトイネーブル信号WEがそれぞれHレベル、Lレベルのとき、リード信号／READをアサート（Lレベル）する。

【0061】

また、さらに、コマンドデコーダ26は、上述の行活性期間において、内部列アドレスストロブ信号CASおよび内部ライトイネーブル信号WEがいずれもHレベルのとき、ライト信号／WRITEをアサート（Lレベル）する。

【0062】

図 5 は、図 2 に示した内部 R A S 発生回路 5 2 の構成を示す回路図である。

図 5 を参照して、内部 R A S 発生回路 5 2 は、N O R ゲート G 5 1 ～ G 5 3 と、N A N D ゲート G 5 4 ～ G 5 6 と、インバータ G 5 7 ～ G 5 9 とを含む。N O R ゲート G 5 1 は、アクティブ信号／A C T および内部バンクアドレス信号／B A の論理和を演算し、その演算結果を反転した信号を出力する。N O R ゲート G 5 2 は、プリチャージ信号／P R E および内部バンクアドレス信号／B A の論理和を演算し、その演算結果を反転した信号を出力する。

【 0 0 6 3 】

インバータ G 5 7 は、N O R ゲート G 5 1 からの出力信号を反転した信号を出力し、インバータ G 5 8 は、N O R ゲート G 5 2 からの出力信号を反転した信号を出力する。N A N D ゲート G 5 4 は、インバータ G 5 7 および N A N D ゲート G 5 5 からの各出力信号の論理積を演算し、その演算結果を反転した信号を出力する。N A N D ゲート G 5 6 は、インバータ G 5 8 および N A N D ゲート G 5 4 からの各出力信号の論理積を演算し、その演算結果を反転した信号を出力する。

【 0 0 6 4 】

N A N D ゲート G 5 6 は、N A N D ゲート G 5 5 からの出力信号、および内部 R A S 保証信号発生回路 5 6 から出力される内部 R A S 保証信号 R A S L O C K の論理積を演算し、その演算結果を反転した信号を出力する。N O R ゲート G 5 3 は、N A N D ゲート G 5 1、G 5 6 からの出力信号の論理和を演算し、その演算結果を反転した信号を出力する。インバータ G 5 9 は、N O R ゲート G 5 3 からの出力信号を反転し、その反転した信号を内部信号 R A S E として出力する。

【 0 0 6 5 】

この内部 R A S 発生回路 5 2 において、N O R ゲート G 5 1、G 5 2、インバータ G 5 7、G 5 8、および N A N D ゲート G 5 4、G 5 5 は、アクティブ信号／A C T およびプリチャージ信号／P R E をそれぞれセット入力およびリセット入力とするフリップフロップ回路を構成する。そして、内部バンクアドレス信号／B A が L レベルのときにアクティブ信号／A C T が L レベルになると、フリップフロップ回路がセット状態となり、内部 R A S 発生回路 5 2 は、内部信号 R A S E を H レベルで出力する。

【 0 0 6 6 】

ここで、内部 R A S 保証信号 R A S L O C K が H レベルのときは、フリップフロップ回路の出力が N A N D ゲート G 5 6 を介して N O R ゲート G 5 3 に反映される。したがって、この場合は、プリチャージ信号 / P R E が L レベルになるとフリップフロップ回路はリセットされ、これに応じて、内部信号 R A S E は L レベルとなる。

【 0 0 6 7 】

一方、内部 R A S 保証信号 R A S L O C K が L レベルのときは、N A N D ゲート G 5 5 からの出力信号の論理レベルに拘わらず、N A N D ゲート G 5 6 の出力は H レベルとなり、内部信号 R A S E は H レベルとなる。したがって、この場合は、プリチャージ信号 / P R E が L レベルとなっても内部信号 R A S E は L レベルにならず、その後、内部 R A S 保証信号 R A S L O C K が H レベルとなるのに応じて、内部信号 R A S E は L レベルとなる。

【 0 0 6 8 】

図 6 は、図 2 に示したワード線活性信号発生回路 5 4 の構成を示す回路図である。

【 0 0 6 9 】

図 6 を参照して、ワード線活性信号発生回路 5 4 は、インバータ G 6 1 ~ G 6 6 と、遅延回路 G 6 7 と、N A N D ゲート G 6 8 とを含む。インバータ G 6 1 は、内部 R A S 発生回路 5 2 から受ける内部信号 R A S E を反転した信号を出力し、インバータ G 6 2 は、インバータ G 6 1 からの出力信号を反転した信号を出力する。インバータ G 6 3 は、インバータ G 6 2 からの出力信号を反転した信号を出力し、インバータ G 6 4 は、インバータ G 6 3 からの出力信号を反転し、その反転した信号をワード線活性信号 R X T として出力する。

【 0 0 7 0 】

遅延回路 G 6 7 は、偶数段の直列接続されたインバータで構成され、インバータ G 6 2 からの出力信号に対して所定の遅延時間 T_{d1} だけ遅延した信号を出力する。N A N D ゲート G 6 8 は、インバータ G 6 2 および遅延回路 G 6 7 からの各出力信号の論理積を演算し、その演算結果を反転した信号を出力する。インバ

ータG 6 5は、NANDゲートG 6 8からの出力信号を反転した信号を出力し、インバータG 6 6は、インバータG 6 5からの出力信号を反転した信号を内部信号／SNSとして出力する。

【 0 0 7 1 】

遅延回路G 6 7、NANDゲートG 6 8およびインバータG 6 5からなる回路は、インバータG 6 2からの出力信号の立上がりエッジを遅延時間T d 1遅延させた信号を生成する。

【 0 0 7 2 】

このワード線活性信号発生回路5 4は、内部信号R A S EがHレベルになると、ワード線活性信号R X TをHレベルで出力する。そして、ワード線活性信号発生回路5 4は、内部信号R A S Eの立上がりから遅延時間T d 1経過後、内部信号／SNSをHレベルからLレベルにする。

【 0 0 7 3 】

図7は、図2に示した内部R A S保証信号発生回路5 6の構成を示す回路図である。

【 0 0 7 4 】

図7を参照して、内部R A S保証信号発生回路5 6は、インバータG 7 1～G 7 3と、遅延回路G 7 4と、NANDゲートG 7 5、G 7 6とを含む。インバータG 7 1は、内部信号／SNSを反転した信号を出力する。遅延回路G 7 4は、偶数段の直列接続されたインバータで構成され、インバータG 7 1からの出力信号に対して所定の遅延時間T d 2だけ遅延した信号を出力する。NANDゲートG 7 5は、インバータG 7 1および遅延回路G 7 4からの各出力信号の論理積を演算し、その演算結果を反転した信号を内部信号／SNS Dとして出力する。

【 0 0 7 5 】

インバータG 7 2は、内部信号／SNSを反転した信号を出力する。インバータG 7 3は、図2に示したテストモードデコーダ3 2から出力されるテストモード信号T M T R A Sを反転した信号を出力する。NANDゲートG 7 6は、インバータG 7 2、G 7 3からの出力信号および内部信号／SNS Dの論理積を演算し、その演算結果を反転した信号を内部R A S保証信号R A S L O C Kとして出

力する。

【 0 0 7 6 】

インバータ G 7 1、遅延回路 G 7 4、および NAND ゲート G 7 5 からなる回路は、内部信号 / SNS の立下がりエッジを遅延時間 T d 2 遅延させた内部信号 / SNS D を生成する。

【 0 0 7 7 】

インバータ G 7 2、G 7 3 および NAND ゲート G 7 6 からなる回路は、テストモード信号 TMTRAS が H レベルのとき、内部信号 / SNS、/ SNS D の論理レベルに拘わらず、内部 RAS 保証信号 RAS LOCK を H レベルで出力する。すなわち、内部 RAS 幅を所定期間確保するインターロックは設定されない。一方、テストモード信号 TMTRAS が L レベルのときは、上述の回路は、内部信号 / SNS が L レベルとなるのに応じて内部 RAS 保証信号 RAS LOCK を L レベルとし、内部信号 / SNS の立下がりから遅延時間 T d 2 後に L レベルとなる内部信号 / SNS D に応じて、内部 RAS 保証信号 RAS LOCK を H レベルとする。すなわち、遅延回路 G 7 4 による遅延時間 T d 2 が、内部 RAS 保証期間となる。

【 0 0 7 8 】

なお、インバータ G 7 2、G 7 3 および NAND ゲート G 7 6 からなる回路は、「保証信号発生回路」における「出力回路」を構成する。

【 0 0 7 9 】

図 8 は、図 2 に示したワード線活性回路 3 6 の構成を示す回路図である。ワード線活性回路 3 6 は、行アドレス信号 RA<0 : n>に対応して n 個のワード線ドライバを含むが、各ワード線ドライバの構成は同じであるので、図 8 においては、行アドレス信号 RA<0>に対応する回路のみが示される。

【 0 0 8 0 】

図 8 を参照して、ワード線活性回路 3 6 は、P チャネル MOS トランジスタ P 1、P 2 と、N チャネル MOS トランジスタ N 1、N 2 と、インバータ G 8 1 とを含む。インバータ G 8 1 は、行アドレス信号 RA<0>を反転した信号を出力する。N チャネル MOS トランジスタ N 1 は、インバータ G 8 1 の出力ノードと

ノードND1との間に接続され、ワード線活性信号RXTをゲートに受ける。PチャネルMOSトランジスタP1は、電源ノード58とノードND1との間に接続され、ワード線活性信号RXTをゲートに受ける。

【0081】

また、PチャネルMOSトランジスタP2は、電源ノード58と出力ノードND2との間に接続され、ゲートがノードND1に接続される。NチャネルMOSトランジスタN2は、ノードND2と接地ノード60との間に接続され、ゲートがノードND1に接続される。

【0082】

ワード線活性回路36においては、ワード線活性信号RXTがHレベルのとき、NチャネルMOSトランジスタN1がONし、PチャネルMOSトランジスタP1がOFFする。したがって、行アドレス信号RA<0>がノードND1に伝達され、行アドレス信号RA<0>の論理レベルに応じて、PチャネルMOSトランジスタP2およびNチャネルMOSトランジスタN2で構成される駆動部により、出力ノードND2に接続されるワード線WL<0>が駆動される。

【0083】

一方、ワード線活性信号RXTがLレベルのときは、NチャネルMOSトランジスタN1がOFFし、PチャネルMOSトランジスタP1がONする。したがって、行アドレス信号RA<0>に拘わらず、ノードND1はHレベルとなり、出力ノードND2はLレベルとなる。すなわち、ワード線活性信号RXTがLレベルのときは、ワード線活性回路36は不活性化される。

【0084】

図9～図11は、実施の形態1による半導体記憶装置10における主な信号の動作波形図である。図9は、通常動作モード時において内部RAS保証期間の経過前にプリチャージコマンドが入力されたときの動作波形図であり、図10は、テストモード時において内部RAS保証期間の経過前にプリチャージコマンドが入力されたときの動作波形図である。図11は、通常動作モード時において内部RAS保証期間の経過後にプリチャージコマンドが入力されたときの動作波形図である。

【 0 0 8 5 】

図 9 を参照して、テストモード信号 T M T R A S は、図示しないが常時 L レベルであり、動作モードは通常動作モードである。行アドレスストローク信号 e x t . / R A S 、 ライトイネーブル信号 e x t . / W E 、 チップセレクト信号 e x t . / C S 、 および図示されない列アドレスストローク信号 e x t . / C A S がそれぞれ L レベル、 H レベル、 L レベル、 H レベルとなり、バンクアドレス信号 e x t . B A が H レベルとなった状態で、時刻 T 1 において外部クロック e x t . C L K が立上がると、コマンドデコーダ 2 6 は、アクティブ信号 / A C T を L レベルとする。

【 0 0 8 6 】

これに応じて、内部 R A S 発生回路 5 2 は、内部信号 R A S E を H レベルとし、ワード線活性信号発生回路 5 4 は、ワード線活性信号 R X T を H レベルにするとともに、遅延時間 T d 1 経過後、内部信号 / S N S を L レベルにする。そして、ワード線活性信号 R X T に応じて、ワード線活性回路 3 6 は、内部行アドレス信号 < 0 : n > によって指示されるワード線 W L を活性化し、ビット線対 B L , / B L 上へのデータの読出しが開始される。

【 0 0 8 7 】

時刻 T 2 において、内部信号 / S N S が L レベルになると、内部 R A S 保証信号発生回路 5 6 は、内部 R A S 保証信号 R A S L O C K を L レベルとし、以降、遅延回路 G 7 4 による遅延時間 T d 2 の間、その L レベルを維持する。

【 0 0 8 8 】

そして、行アドレスストローク信号 e x t . / R A S 、 ライトイネーブル信号 e x t . / W E 、 チップセレクト信号 e x t . / C S 、 および図示されない列アドレスストローク信号 e x t . / C A S がそれぞれ L レベル、 L レベル、 L レベル、 H レベルとなり、バンクアドレス信号 e x t . B A が H レベルとなった状態で、時刻 T 3 において外部クロック e x t . C L K が立上がると、コマンドデコーダ 2 6 は、プリチャージ信号 / P R E を L レベルとする。

【 0 0 8 9 】

しかしながら、プリチャージコマンドに応じてプリチャージ信号 / P R E が L

レベルとなった時刻 T 3 は内部 R A S 保証期間中であり、内部 R A S 保証信号 R A S L O C K は L レベルである。したがって、内部 R A S 発生回路 5 2 は、プリチャージ信号 / P R E が L レベルに変化しても、内部信号 R A S E を L レベルとしない。

【 0 0 9 0 】

内部 R A S 保証信号発生回路 5 6 は、時刻 T 2 から遅延時間 T d 2 が経過した時刻 T 4 において内部信号 / S N S D を L レベルとし、これに応じて内部 R A S 保証信号 R A S L O C K を H レベルとする。そうすると、内部 R A S 発生回路 5 2 は、内部信号 R A S E を L レベルとし、ワード線活性信号発生回路 5 4 は、ワード線活性信号 R X T を L レベルとする。これに応じて、ワード線活性回路 3 6 は、活性化していたワード線を不活性化する。

【 0 0 9 1 】

このように、通常動作モード時は、内部 R A S 保証期間中にプリチャージコマンドを受けたとき、そのコマンド受信に応じて直ちにワード線が不活性化されることはなく、メモリセルへのリストア動作を十分保証する内部 R A S 保証期間の経過後にワード線が不活性化される。

【 0 0 9 2 】

図 1 0 を参照して、テストモード信号 T M T R A S は、図示しないが常時 H レベルであり、動作モードはテストモードである。時刻 T 1 における動作は、通常動作モード時と同じである。

【 0 0 9 3 】

時刻 T 2 において、内部信号 / S N S が立下がると、内部 R A S 保証信号発生回路 5 6 は、テストモード信号 T M T R A S が L レベルの通常動作モード時であれば、内部 R A S 保証信号 R A S L O C K を L レベルにするところ、テストモード信号 T M T R A S が H レベルであるため、内部 R A S 保証信号 R A S L O C K を L レベルとしない。

【 0 0 9 4 】

そして、行アドレスストロブ信号 e x t . / R A S 、ライトイネーブル信号 e x t . / W E 、チップセレクト信号 e x t . / C S 、および図示されない列ア

ドレスストローブ信号 $\text{ext. } \overline{\text{CAS}}$ がそれぞれ L レベル, L レベル, L レベル, H レベルとなり、バンクアドレス信号 $\text{ext. } \text{BA}$ が H レベルとなった状態で、時刻 T 3 において外部クロック $\text{ext. } \text{CLK}$ が立上がると、コマンドデコーダ 26 は、プリチャージ信号 $\overline{\text{PRE}}$ を L レベルとする。

【 0 0 9 5 】

そうすると、内部 RAS 保証信号 RAS LOCK が H レベルであるため、内部 RAS 発生回路 52 は、内部信号 RASE を L レベルとし、これに応じて、ワード線活性信号発生回路 54 は、ワード線活性信号 RXT を L レベルにする。そして、ワード線活性回路 36 は、活性化していたワード線を不活性化する。

【 0 0 9 6 】

このように、テストモード時は、外部 RAS 幅（アクティブコマンドの入力からプリチャージコマンドの入力までの期間）が短くても、外部から入力されるプリチャージコマンドに応じてワード線が不活性化される。すなわち、この半導体記憶装置 10 では、内部 RAS 幅を外部から制御することができる。

【 0 0 9 7 】

図 11 を参照して、テストモード信号 TMT RAS は、図示しないが常時 L レベルであり、動作モードは通常動作モードである。時刻 T 1, T 2 における動作は、図 9 に示した動作と同じである。

【 0 0 9 8 】

時刻 T 5 において外部からプリチャージコマンドを受ける前の時刻 T 4 において、内部 RAS 保証信号発生回路 56 における遅延回路 G 74 による遅延時間 T_{d2} が経過すると、内部 RAS 保証信号発生回路 56 は、内部信号 $\overline{\text{SNSD}}$ を L レベルにし、これに応じて内部 RAS 保証信号 RAS LOCK を H レベルにする。

【 0 0 9 9 】

そして、行アドレスストローブ信号 $\text{ext. } \overline{\text{RAS}}$ 、ライトイネーブル信号 $\text{ext. } \overline{\text{WE}}$ 、チップセレクト信号 $\text{ext. } \overline{\text{CS}}$ 、および図示されない列アドレスストローブ信号 $\text{ext. } \overline{\text{CAS}}$ がそれぞれ L レベル, L レベル, L レベル, H レベルとなり、バンクアドレス信号 $\text{ext. } \text{BA}$ が H レベルとなった状態

で、時刻T5において外部クロック ext. CLKが立上がると、コマンドデコーダ26は、プリチャージ信号/PREをLレベルとする。

【0100】

そうすると、内部RAS保証信号RASLOCKは既にHレベルであるため、内部RAS発生回路52は、内部信号RASEをLレベルとし、これに応じて、ワード線活性信号発生回路54は、ワード線活性信号RXTをLレベルとする。そして、ワード線活性回路36は、活性化していたワード線を不活性化する。

【0101】

このように、内部RAS保証期間の経過後にプリチャージコマンドを受けたときは、内部RAS保証信号発生回路56が実質的に機能することではなく、外部から受けるプリチャージコマンドによってワード線が不活性化される。

【0102】

以上のように、この実施の形態1による半導体記憶装置10によれば、内部RAS幅を所定期間保証する保証回路（内部RAS保証信号発生回路）を備えていても、テストモード時、内部RAS幅を所定期間保証するインターロックを外すようにしたので、テストにおいては逆に制約となるそのインターロックの影響を受けることなく、外部から受けるプリチャージコマンドによって内部RAS幅が制御される。

【0103】

したがって、通常動作モード時は、内部RAS幅を所定期間保証しつつ、テストモード時は、上述の所定期間よりも小さい内部RAS幅を外部から設定することによって、電流駆動力の不十分なメモリセルを排除する動作マージンテストを行なうことができる。

【0104】

〔実施の形態2〕

実施の形態1では、プリチャージコマンドによって内部RAS幅を制御することができるが、測定装置の動作周波数が低いと、それが制約となって内部RAS幅を小さく設定することができない。すなわち、設定できる内部RAS幅は、測定装置の最大動作周波数の制約を受ける。

【 0 1 0 5 】

そこで、実施の形態 2 では、外部クロック ext. CLK に非同期な行アドレスストロブ信号 ext. /RAS の立下がり幅で内部 RAS 幅を制御する。これによって、動作周波数の低い測定装置でも、内部 RAS 幅を短縮した動作マージンテストを行なうことができる。

【 0 1 0 6 】

図 1 2 は、この発明の実施の形態 2 による半導体記憶装置の全体構成を示す概略ブロック図である。

【 0 1 0 7 】

図 1 2 を参照して、半導体記憶装置 1 0 A は、実施の形態 1 による半導体記憶装置 1 0 の構成において、コマンドデコーダ 2 6 および制御回路 3 4 に代えて、それぞれコマンドデコーダ 2 6 A および制御回路 3 4 A を備える。

【 0 1 0 8 】

コマンドデコーダ 2 6 A は、入力バッファ 2 2 から内部コマンド制御信号を受け、さらに、制御信号端子 1 2 から行アドレスストロブ信号 ext. /RAS を受け、テストモードデコーダ 3 2 からテストモード信号 TMTRAS を受ける。そして、コマンドデコーダ 2 6 A は、これらの信号に基づいて内部コマンドを発生し、その発生した内部コマンドを制御回路 3 4 A へ出力する。

【 0 1 0 9 】

制御回路 3 4 A は、入力バッファ 2 2 から受ける内部クロック CLK に応じて、コマンドデコーダ 2 6 A、入力バッファ 2 2 およびテストモードデコーダ 3 2 からそれぞれ内部コマンド、内部コマンド制御信号およびテストモード信号 TMTRAS を取込む。そして、制御回路 3 4 A は、それらの信号に基づいて、ワード線活性回路 3 6、列アドレスデコーダ 3 0、およびデータ入出力バッファ 2 4 を制御する。制御回路 3 4 A の具体的な構成およびその動作については、後ほど詳しく説明する。

【 0 1 1 0 】

半導体記憶装置 1 0 A におけるその他の構成は、実施の形態 1 による半導体記憶装置 1 0 の構成と同じである。また、この半導体記憶装置 1 0 A も、半導体記

憶装置 1 0 と同様に、動作モードとして通常動作モードとテストモードとを取り得る。通常動作モード時の動作は、半導体記憶装置 1 0 と同じである。

【 0 1 1 1 】

一方、テストモードでは、制御回路 3 4 A は、内部 R A S 幅を所定期間確保するインターロックを解除する。そして、実施の形態 1 では、制御回路 3 4 は、プリチャージコマンドが外部から入力されると、そのタイミングでワード線活性回路 3 6 を不活性化したのに対し、実施の形態 2 における制御回路 3 4 A は、アクティブコマンドの入力に伴って立下がった行アドレスストロブ信号 $\text{ext.} / \text{RAS}$ が立上がるタイミングでワード線活性回路 3 6 を不活性化する。

【 0 1 1 2 】

図 1 3 は、図 1 2 に示した半導体記憶装置 1 0 A において入力バッファ 2 2 からワード線活性回路 3 6 までの構成を詳細に示した機能ブロック図である。

【 0 1 1 3 】

図 1 3 を参照して、コマンドデコーダ 2 6 A は、内部行アドレスストロブ信号 R A S、内部列アドレスストロブ信号 C A S、 \neg C A S、内部チップセレクト信号 C S、および内部ライトイネーブル信号 W E、 \neg W E を入力バッファ 2 2 から受ける。また、コマンドデコーダ 2 6 A は、図示されない制御信号端子 1 2 から行アドレスストロブ信号 $\text{ext.} / \text{RAS}$ を受け、テストモードデコーダ 3 2 からテストモード信号 T M T R A S を受ける。

【 0 1 1 4 】

そして、コマンドデコーダ 2 6 A は、テストモード信号 T M T R A S が L レベルのとき、すなわち通常動作モード時、入力バッファ 2 2 から受ける各信号に基づいて、アクティブ信号 \neg A C T およびプリチャージ信号 \neg P R E を発生し、その発生した各信号を内部 R A S 発生回路 5 2 A へ出力する。

【 0 1 1 5 】

一方、コマンドデコーダ 2 6 A は、テストモード信号 T M T R A S が H レベルのとき、すなわちテストモード時、アクティブ信号 \neg A C T の発生については、通常動作モード時と同じタイミングで発生するが、プリチャージ信号 \neg P R E の発生については、外部からプリチャージコマンドを受けたタイミングではなく、

行アドレスストローブ信号 $ext.$ / RAS の立上がりタイミングで発生する。

【0116】

制御回路 34A は、実施の形態 1 による制御回路 34 の構成において、内部 RAS 発生回路 52 に代えて、内部 RAS 発生回路 52A を含む。

【0117】

内部 RAS 発生回路 52A は、アクティブ信号 / ACT、プリチャージ信号 / PRE、内部バンクアドレス信号 / BA、内部 RAS 保証信号 RASLOCK、およびテストモード信号 TMTRAS に基づいて内部信号 RASE を発生し、その発生した内部信号 RASE をワード線活性信号発生回路 54 へ出力する。

【0118】

この内部 RAS 発生回路 52A が実施の形態 1 における内部 RAS 発生回路 52 と異なる点は、テストモード信号 TMTRAS を受けていることである。すなわち、内部 RAS 発生回路 52 と同様に、内部 RAS 発生回路 52A においても、本来、プリチャージ信号 / PRE を受付けるためのインターロックとして、外部クロック $ext. CLK$ に同期して外部から受けるバンクアドレス信号 $ext. BA$ に対応する内部バンクアドレス信号 / BA がアサート（L レベル）されている必要があるところ、実施の形態 2 では、外部クロック $ext. CLK$ とは非同期に行アドレスストローブ信号 $ext. / RAS$ の立上がりタイミングでプリチャージ信号 / PRE をアサート（L レベル）するため、そのタイミングにおいては内部バンクアドレス信号 / BA がアサート（L レベル）されていない場合があり、内部バンクアドレス信号 / BA によるプリチャージ信号 / PRE の受付インターロックを外す必要があるからである。

【0119】

図 14 は、図 13 に示したコマンドデコーダ 26A の構成を示す回路図である。

【0120】

図 14 を参照して、コマンドデコーダ 26A は、実施の形態 1 におけるコマンドデコーダ 26 の構成に加えて、NAND ゲート G101 ~ G104 と、遅延回路 G105 と、インバータ G106 とをさらに含む。また、NAND ゲート G4

2 は、プリチャージ信号／PRE に代えて内部信号／PREF を出力する。

【 0 1 2 1 】

遅延回路 G 1 0 5 は、奇数段の直列接続されたインバータで構成され、行アドレスストロブ信号 ext. /RAS に対して所定の遅延時間 T d 3 だけ遅延した信号を出力する。NAND ゲート G 1 0 1 は、行アドレスストロブ信号 ext. /RAS および遅延回路 G 1 0 5 からの出力信号の論理積を演算し、その演算結果を反転した信号を出力する。遅延回路 G 1 0 5 および NAND ゲート G 1 0 1 からなる回路は、行アドレスストロブ信号 ext. /RAS の立上がりタイミングで、遅延時間 T d 3 の立下がり幅を持った立下がりパルス信号を生成する。

【 0 1 2 2 】

インバータ G 1 0 6 は、テストモード信号 TMTRAS を反転した信号を出力する。NAND ゲート G 1 0 2 は、NAND ゲート G 1 0 1 からの出力信号およびテストモード信号 TMTRAS の論理積を演算し、その演算結果を反転した信号を出力する。NAND ゲート G 1 0 3 は、インバータ G 1 0 6 からの出力信号および内部信号／PREF の論理積を演算し、その演算結果を反転した信号を出力する。NAND ゲート G 1 0 4 は、NAND ゲート G 1 0 2, G 1 0 3 からの各出力信号の論理積を演算し、その演算結果を反転した信号をプリチャージ信号／PRE として出力する。

【 0 1 2 3 】

この NAND ゲート G 1 0 1 ~ G 1 0 4、遅延回路 G 1 0 5、およびインバータ G 1 0 6 で構成される回路は、テストモード信号 TMTRAS が L レベルのとき、NAND ゲート G 4 2 から出力される内部信号／PREF をプリチャージ信号／PRE として出力する。したがって、通常動作モード時は、コマンドデコーダ 2 6 A は、実施の形態 1 におけるコマンドデコーダ 2 6 と同じ動作をする。

【 0 1 2 4 】

一方、テストモード信号 TMTRAS が H レベルのときは、上述の回路は、行アドレスストロブ信号 ext. /RAS の立上がりタイミングで、立下がり幅が遅延時間 T d 3 のプリチャージ信号／PRE を出力する。

【 0 1 2 5 】

なお、コマンドデコーダ 2 6 A におけるその他の回路構成および動作については、実施の形態 1 におけるコマンドデコーダ 2 6 と同じである。

【 0 1 2 6 】

図 1 5 は、図 1 3 に示した内部 R A S 発生回路 5 2 A の構成を示す回路図である。

【 0 1 2 7 】

図 1 5 を参照して、内部 R A S 発生回路 5 2 A は、実施の形態 1 における内部 R A S 発生回路 5 2 の構成において、インバータ G 1 1 1、G 1 1 3 と、N A N D ゲート G 1 1 2 とをさらに含む。インバータ G 1 1 1 は、テストモード信号 T M T R A S を反転した信号を出力する。N A N D ゲート G 1 1 2 は、内部バンクアドレス信号 / B A およびインバータ G 1 1 1 からの出力信号の論理積を演算し、その演算結果を反転した信号を出力する。インバータ G 1 1 3 は、N A N D ゲート G 1 1 2 からの出力信号を反転した信号を N A N D ゲート G 5 2 の一方の入力端子へ出力する。

【 0 1 2 8 】

内部 R A S 発生回路 5 2 A においては、テストモード信号 T M T R A S が H レベルのとき、内部バンクアドレス信号 / B A に拘わらずインバータ G 1 1 3 の出力が L レベルとなる。したがって、内部バンクアドレス信号 / B A がアサート（L レベル）されていないときでも、行アドレスストロブ信号 e x t. / R A S の立上がりタイミングで L レベルとなるプリチャージ信号 / P R E を用いて、内部信号 R A S E を L レベルにすることができる。

【 0 1 2 9 】

一方、テストモード信号 T M T R A S が L レベルのときは、インバータ G 1 1 3 の出力には、内部バンクアドレス信号 / B A の論理レベルが現われる。したがって、通常動作モード時は、内部 R A S 発生回路 5 2 A は、実施の形態 1 における内部 R A S 発生回路 5 2 と等価な回路となり、内部 R A S 発生回路 5 2 と同じ動作をする。

【 0 1 3 0 】

図 1 6 は、実施の形態 2 による半導体記憶装置 1 0 A におけるテストモード時の主な信号の動作波形図である。これまで説明したように、通常動作モード時は、コマンドデコーダ 2 6 A および内部 R A S 発生回路 5 2 A は、それぞれ半導体記憶装置 1 0 におけるコマンドデコーダ 2 6 および内部 R A S 発生回路 5 2 と同じ動作をするため、通常動作モード時の半導体記憶装置 1 0 A の動作波形は、実施の形態 1 による半導体記憶装置 1 0 の動作波形と同じである。

【 0 1 3 1 】

図 1 6 を参照して、テストモード信号 T M T R A S は、図示しないが常時 H レベルであり、動作モードはテストモードである。アクティブ信号 / A C T の立下がりに応じた時刻 T 1, T 2 における動作は、実施の形態 1 による半導体記憶装置 1 0 の動作と同じである。

【 0 1 3 2 】

時刻 T 3 において、外部クロック e x t . C L K とは非同期に行アドレスストロブ信号 e x t . / R A S が立上がると、コマンドデコーダ 2 6 A は、プリチャージ信号 / P R E を L レベルにする。そうすると、内部 R A S 発生回路 5 2 A は、内部信号 R A S E を L レベルとし、これに応じて、ワード線活性信号発生回路 5 4 は、ワード線活性信号 R X T を L レベルにする。そして、ワード線活性回路 3 6 は、活性化していたワード線を不活性化する。

【 0 1 3 3 】

以上のように、実施の形態 2 による半導体記憶装置 1 0 A によれば、テストモード時、行アドレスストロブ信号 e x t . / R A S の立上がりタイミングでプリチャージ信号 / P R E をアサート（L レベル）し、行アドレスストロブ信号 e x t . / R A S の立下がり幅で内部 R A S 幅が制御される。

【 0 1 3 4 】

したがって、外部クロック e x t . C L K と非同期に、かつ、測定装置の動作周波数に影響を受けることなく、R A S 幅を短くすることができ、電流駆動力の不十分なメモリセルを排除する動作マージンテストを行なうことができる。

【 0 1 3 5 】

今回開示された実施の形態は、すべての点で例示であって制限的なものではな

いと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 1 3 6 】

【発明の効果】

この発明によれば、半導体記憶装置は、その動作モードが通常動作モードのとき、外部からの R A S 幅の設定に拘わらず、メモリセルへのデータのリストアを保証する内部 R A S 幅が所定期間確保され、テストモード時は、内部 R A S 幅を所定期間確保するインターロックが解除され、外部から内部 R A S 幅を制御することができる。

【 0 1 3 7 】

したがって、通常動作モード時は、内部 R A S 幅を所定期間保証しつつ、テストモード時は、上述の所定期間よりも小さい内部 R A S 幅を外部から設定することによって、電流駆動力の不十分なメモリセルを排除する動作マージンテストを行なうことができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による半導体記憶装置の全体構成を示す概略ブロック図である。

【図 2】 図 1 に示す半導体記憶装置において入力バッファからワード線活性回路までの構成を詳細に示した機能ブロック図である。

【図 3】 図 2 に示す入力バッファの構成を示す回路図である。

【図 4】 図 2 に示すコマンドデコーダの構成を示す回路図である。

【図 5】 図 2 に示す内部 R A S 発生回路の構成を示す回路図である。

【図 6】 図 2 に示すワード線活性信号発生回路の構成を示す回路図である。

【図 7】 図 2 に示す内部 R A S 保証信号発生回路の構成を示す回路図である。

【図 8】 図 2 に示すワード線活性回路の構成を示す回路図である。

【図 9】 通常動作モード時において内部 R A S 保証期間経過前にプリチャ

ージコマンドが入力されたときの実施の形態 1 による半導体記憶装置における主な信号の動作波形図である。

【図 1 0】 テストモード時において内部 R A S 保証期間経過前にプリチャージコマンドが入力されたときの実施の形態 1 による半導体記憶装置における主な信号の動作波形図である。

【図 1 1】 通常動作モード時において内部 R A S 保証期間経過後にプリチャージコマンドが入力されたときの実施の形態 1 による半導体記憶装置における主な信号の動作波形図である。

【図 1 2】 この発明の実施の形態 2 による半導体記憶装置の全体構成を示す概略ブロック図である。

【図 1 3】 図 1 2 に示す半導体記憶装置において入力バッファからワード線活性回路までの構成を詳細に示した機能ブロック図である。

【図 1 4】 図 1 3 に示すコマンドデコーダの構成を示す回路図である。

【図 1 5】 図 1 3 に示す内部 R A S 発生回路の構成を示す回路図である。

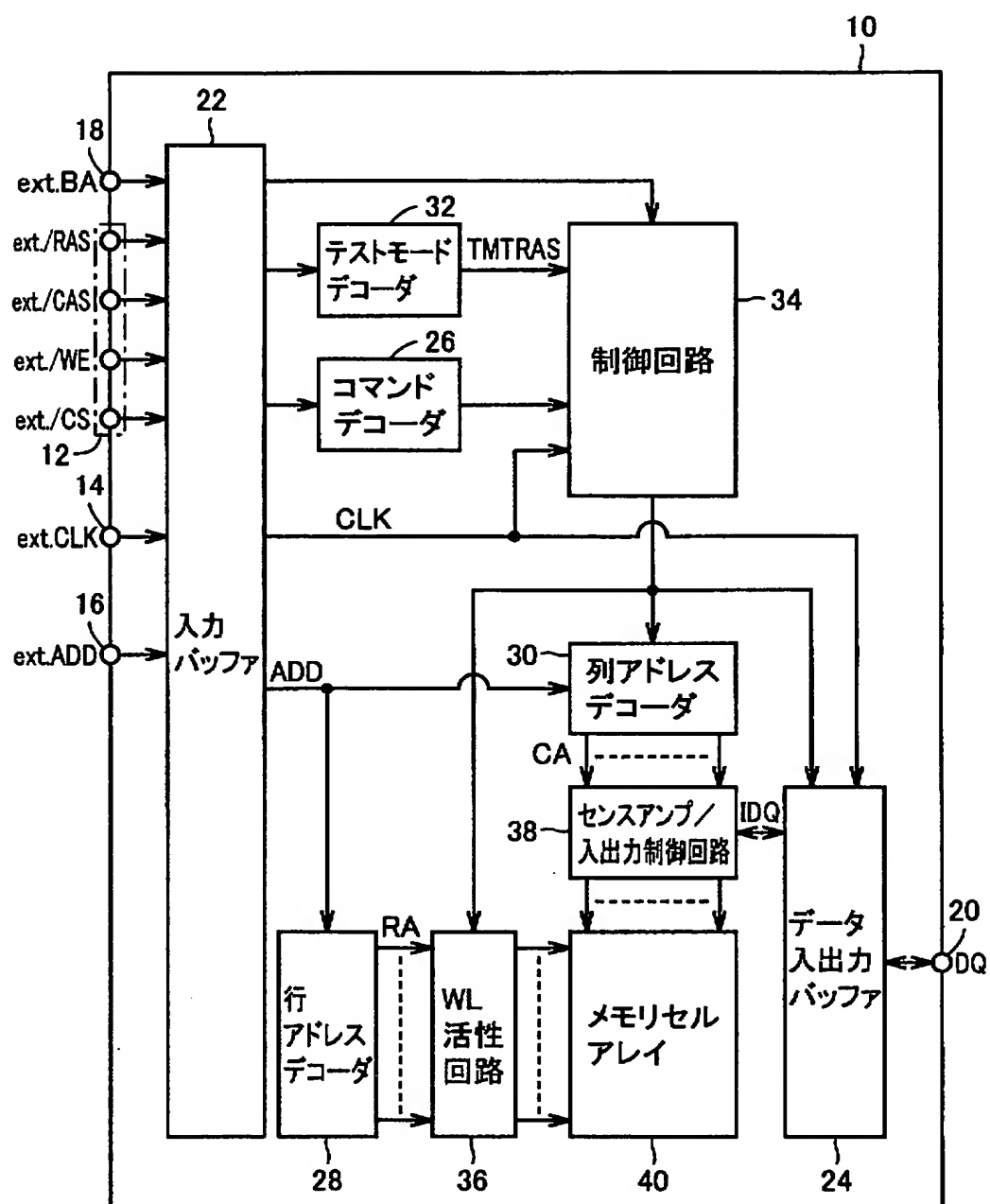
【図 1 6】 実施の形態 2 による半導体記憶装置におけるテストモード時の主な信号の動作波形図である。

【符号の説明】

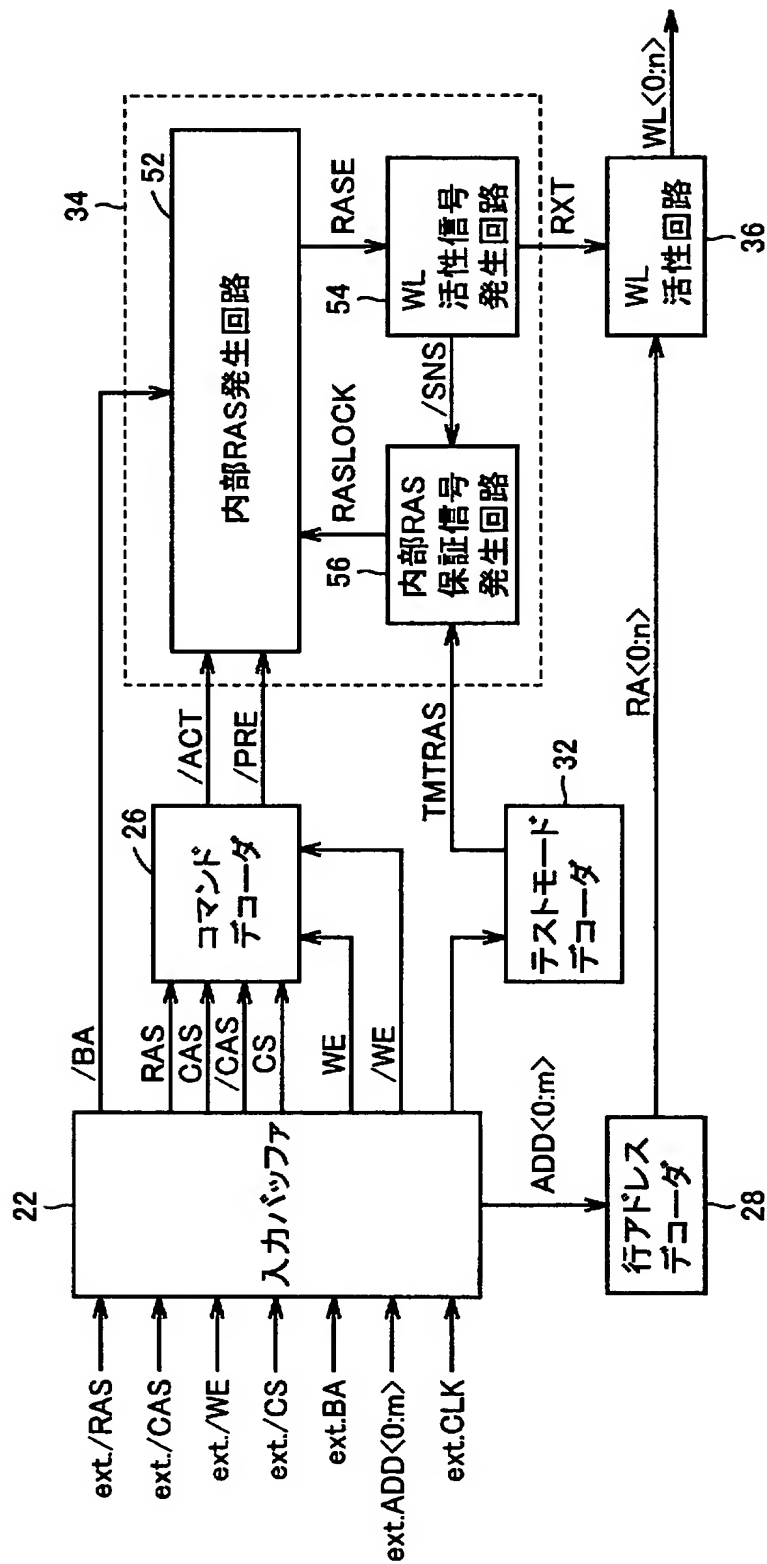
1 0, 1 0 A 半導体記憶装置、1 2 制御信号端子、1 4 クロック端子、1 6 アドレス端子、1 8 バンクアドレス端子、2 0 データ入出力端子、2 2 入力バッファ、2 4 データ入出力バッファ、2 6, 2 6 A コマンドデコーダ、2 8 行アドレスデコーダ、3 0 列アドレスデコーダ、3 2 テストモードデコーダ、3 4 制御回路、3 6 ワード線活性回路、3 8 センスアンプ／入出力制御回路、4 0 メモリセルアレイ、5 2, 5 2 A 内部 R A S 発生回路、5 4 ワード線活性信号発生回路、5 6 内部 R A S 保証信号発生回路、G 6 7, G 7 4, G 1 0 5 遅延回路。

【書類名】 図面

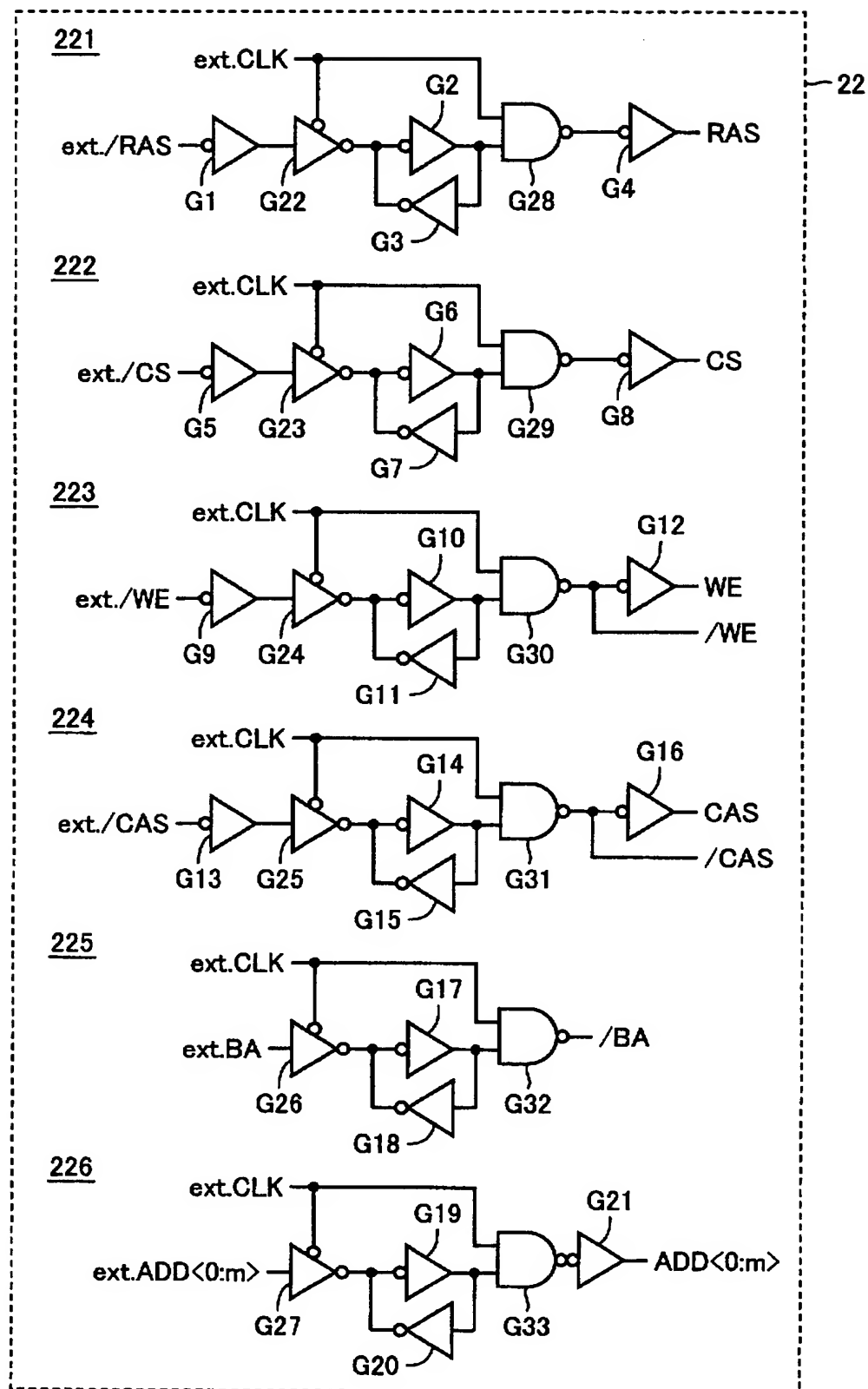
【図 1】



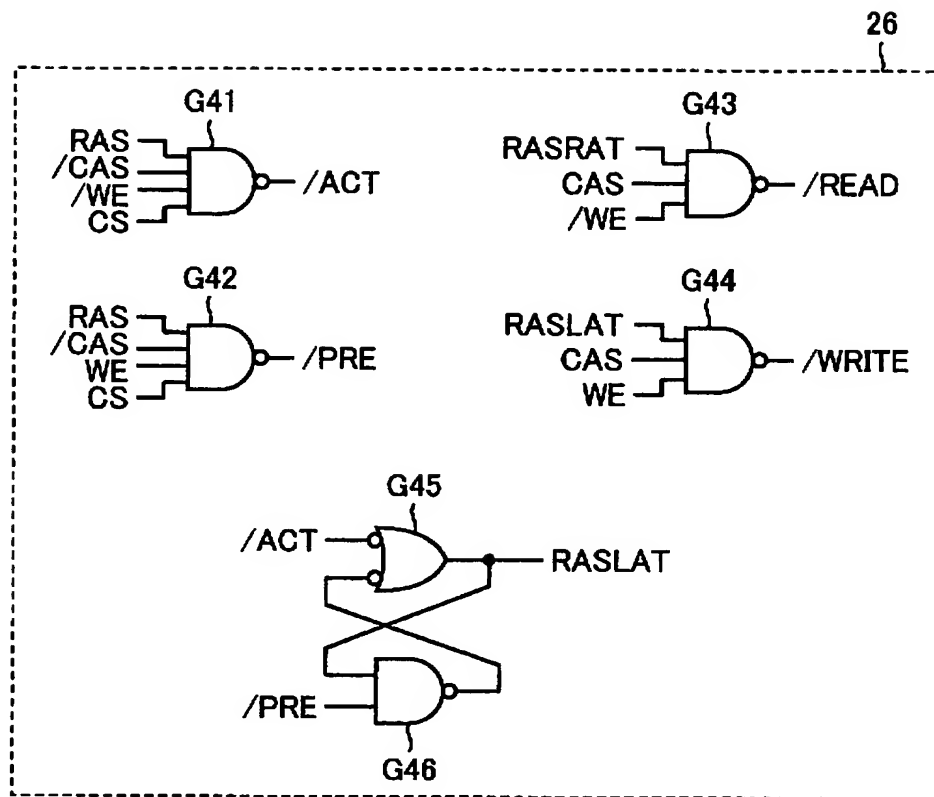
【図 2】



【図 3】

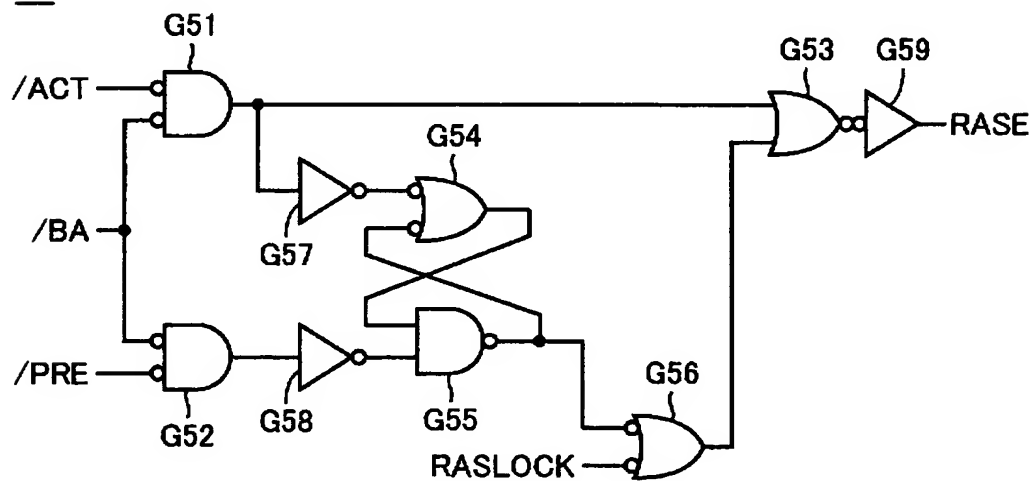


【図 4】



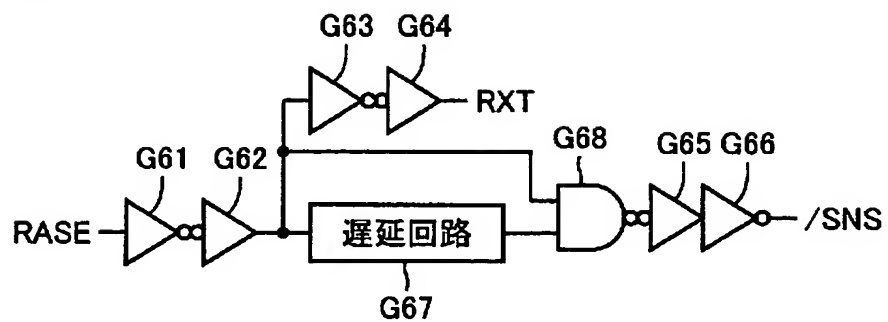
【図 5】

52

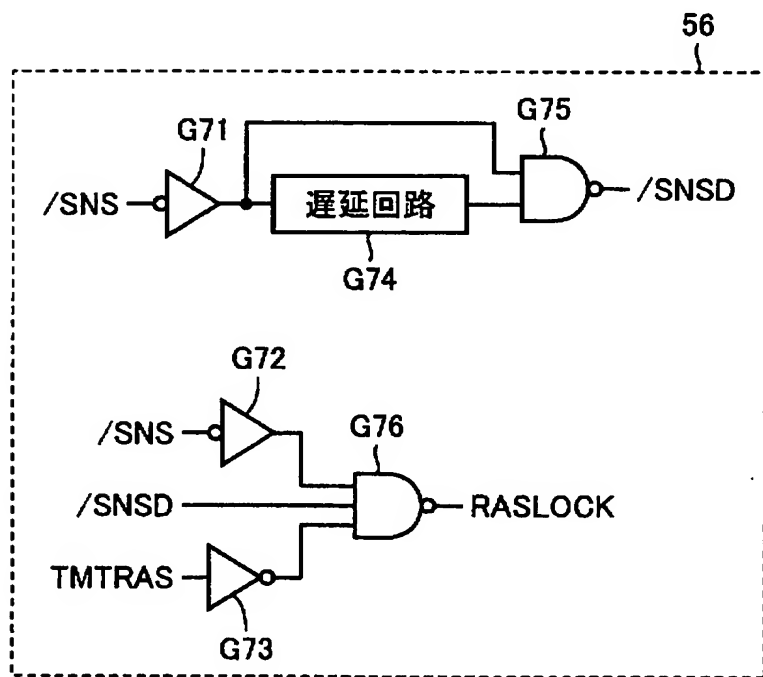


【図 6】

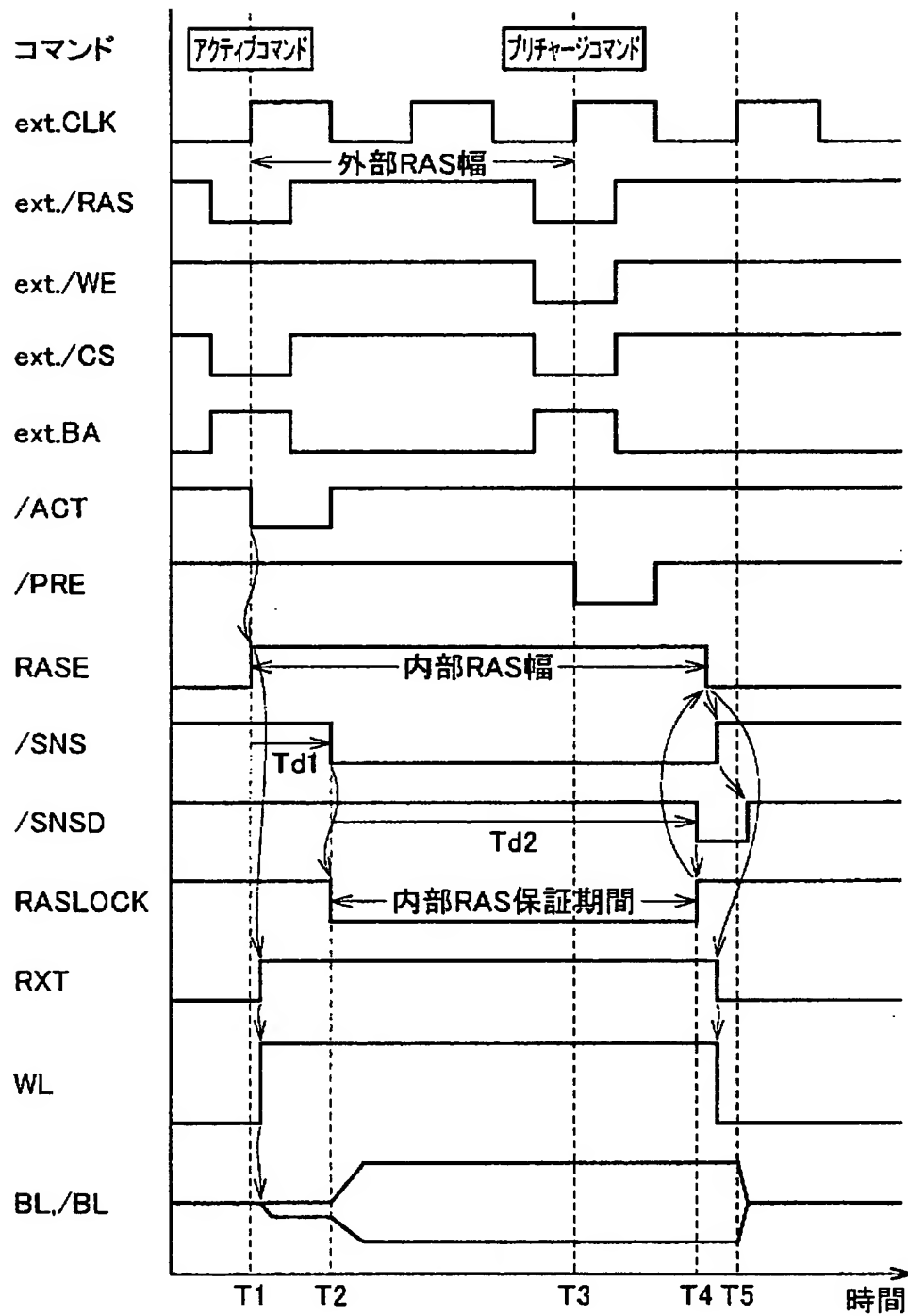
54



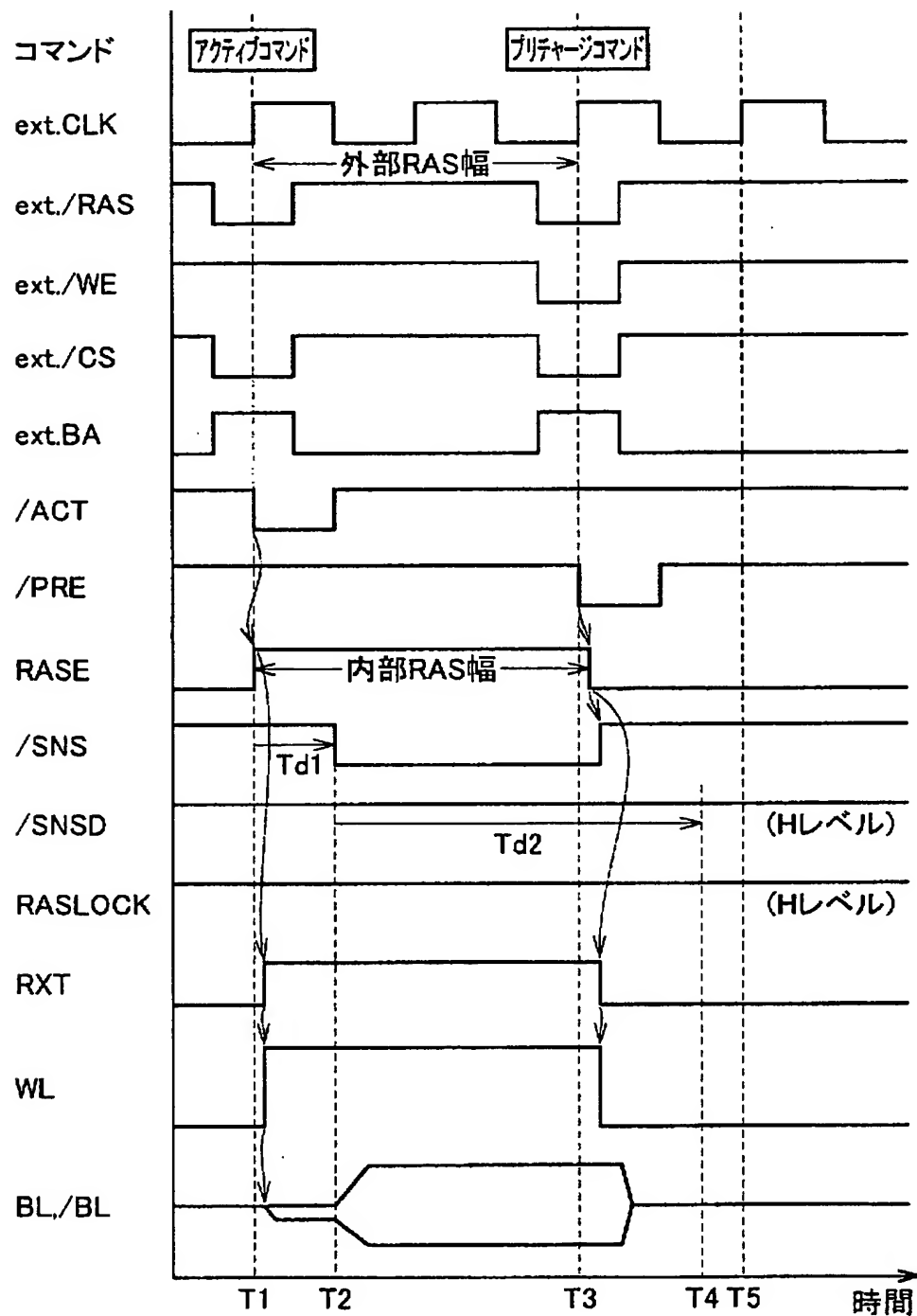
【図 7】



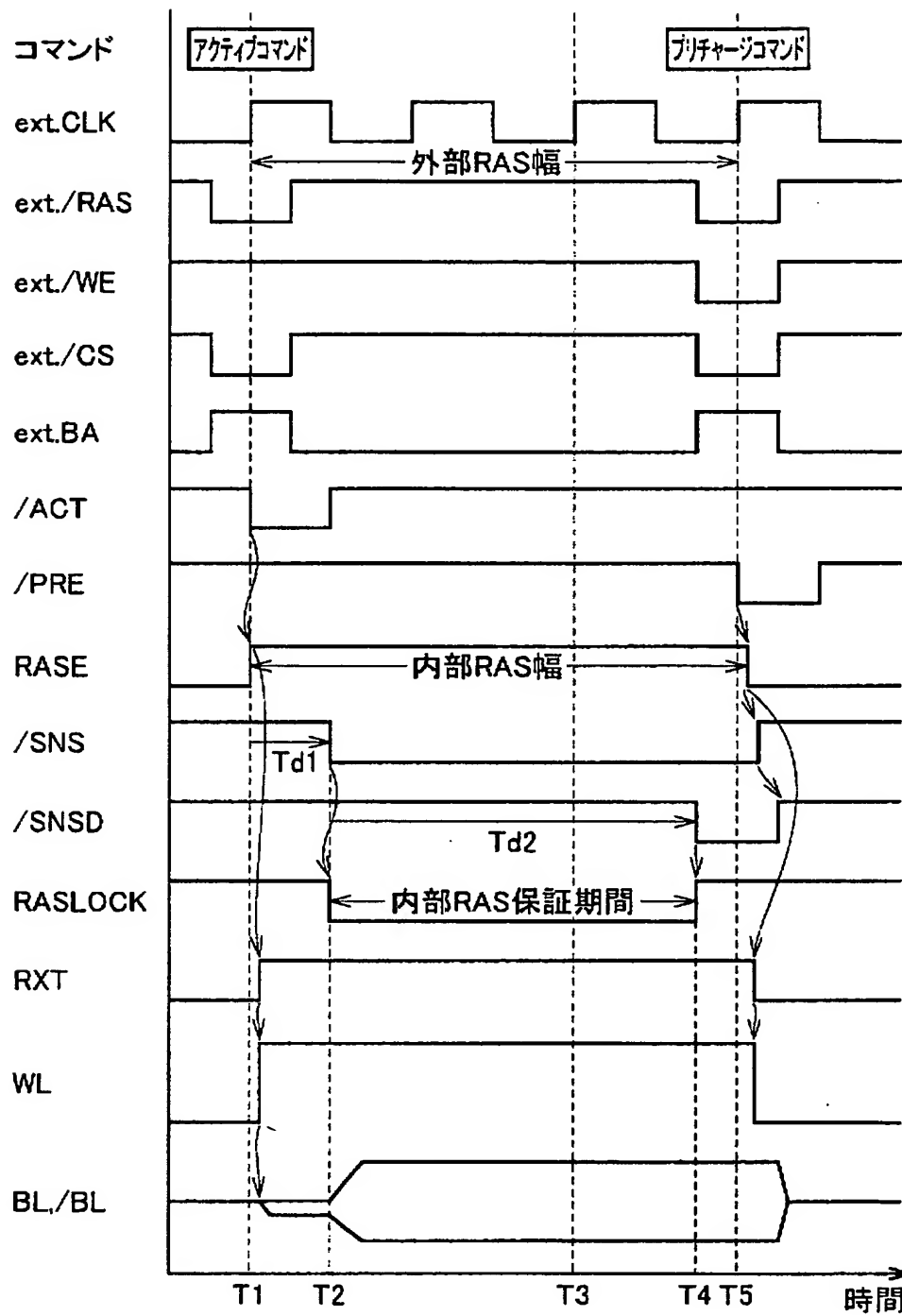
【図 9】



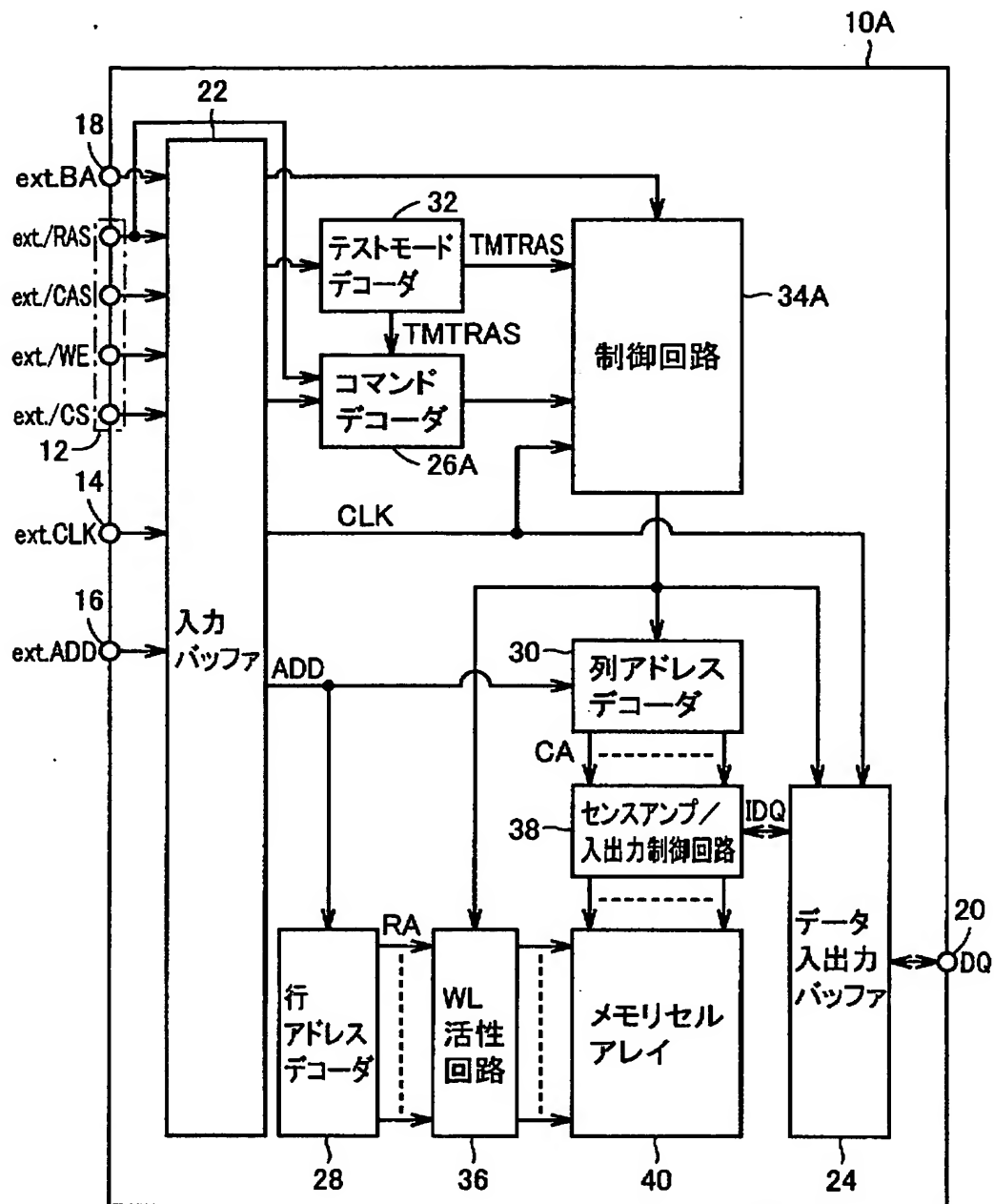
【図 1 0】



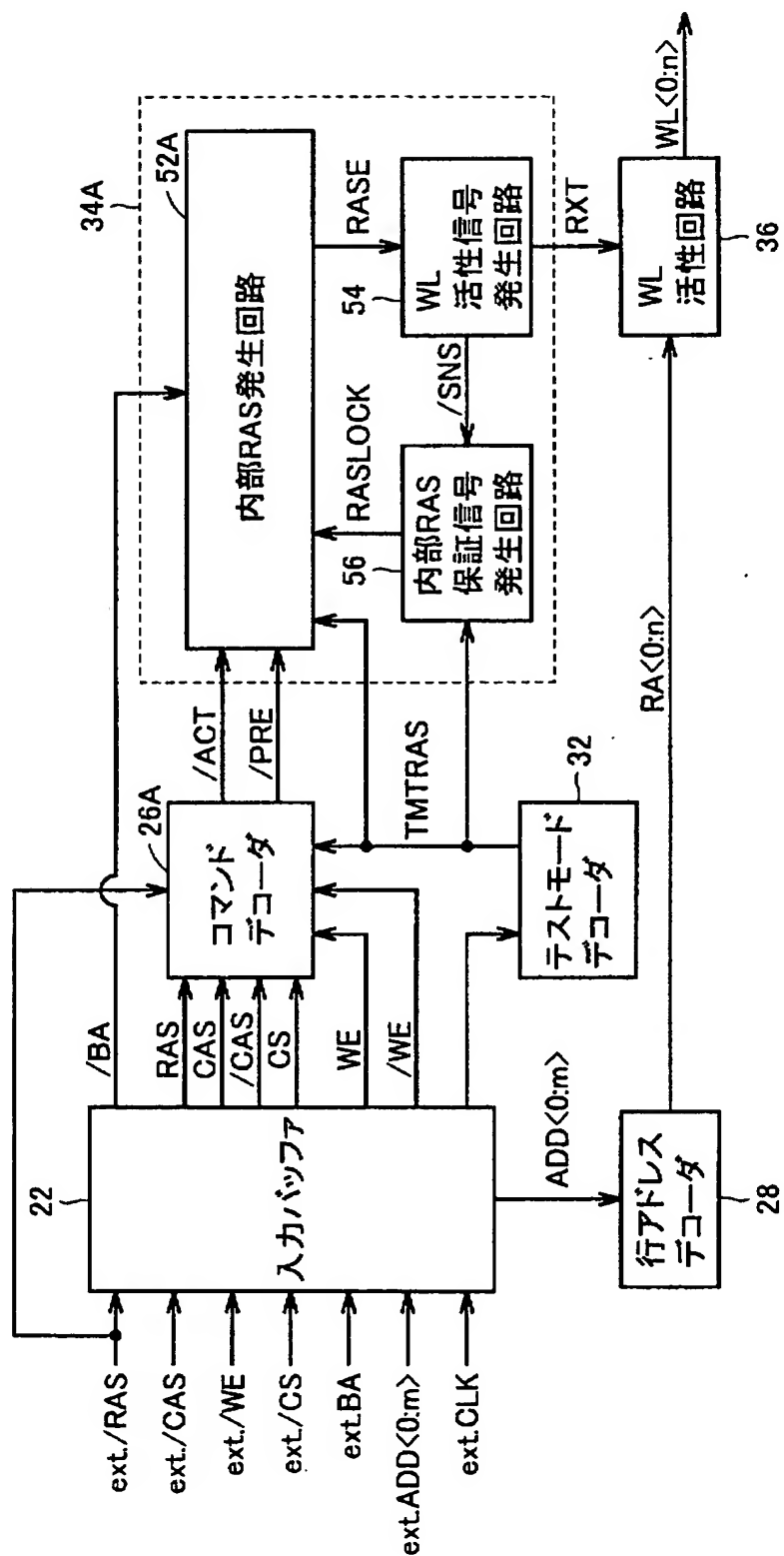
【図 1 1】



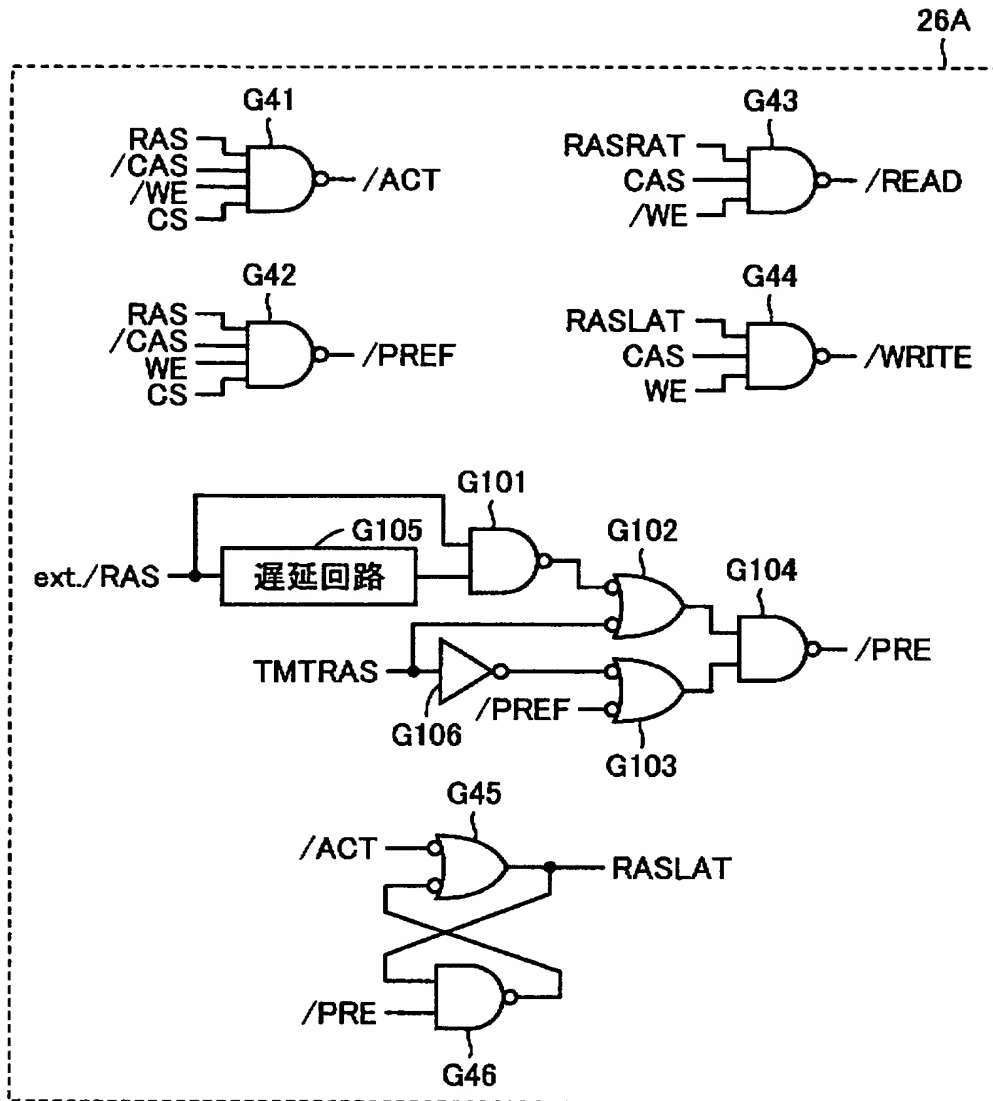
【図 12】



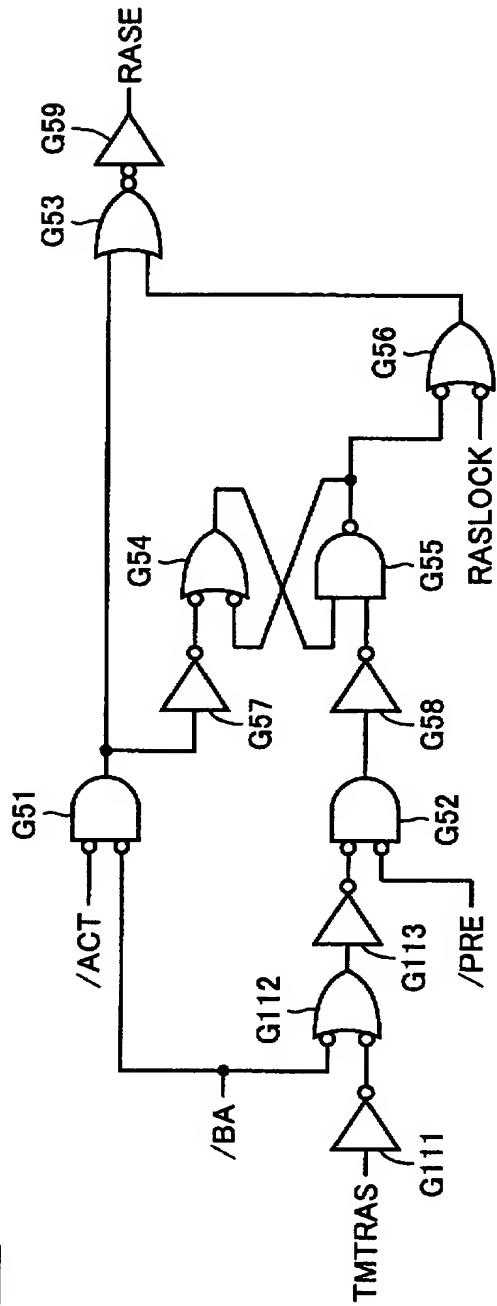
【図 13】



【図 1 4】

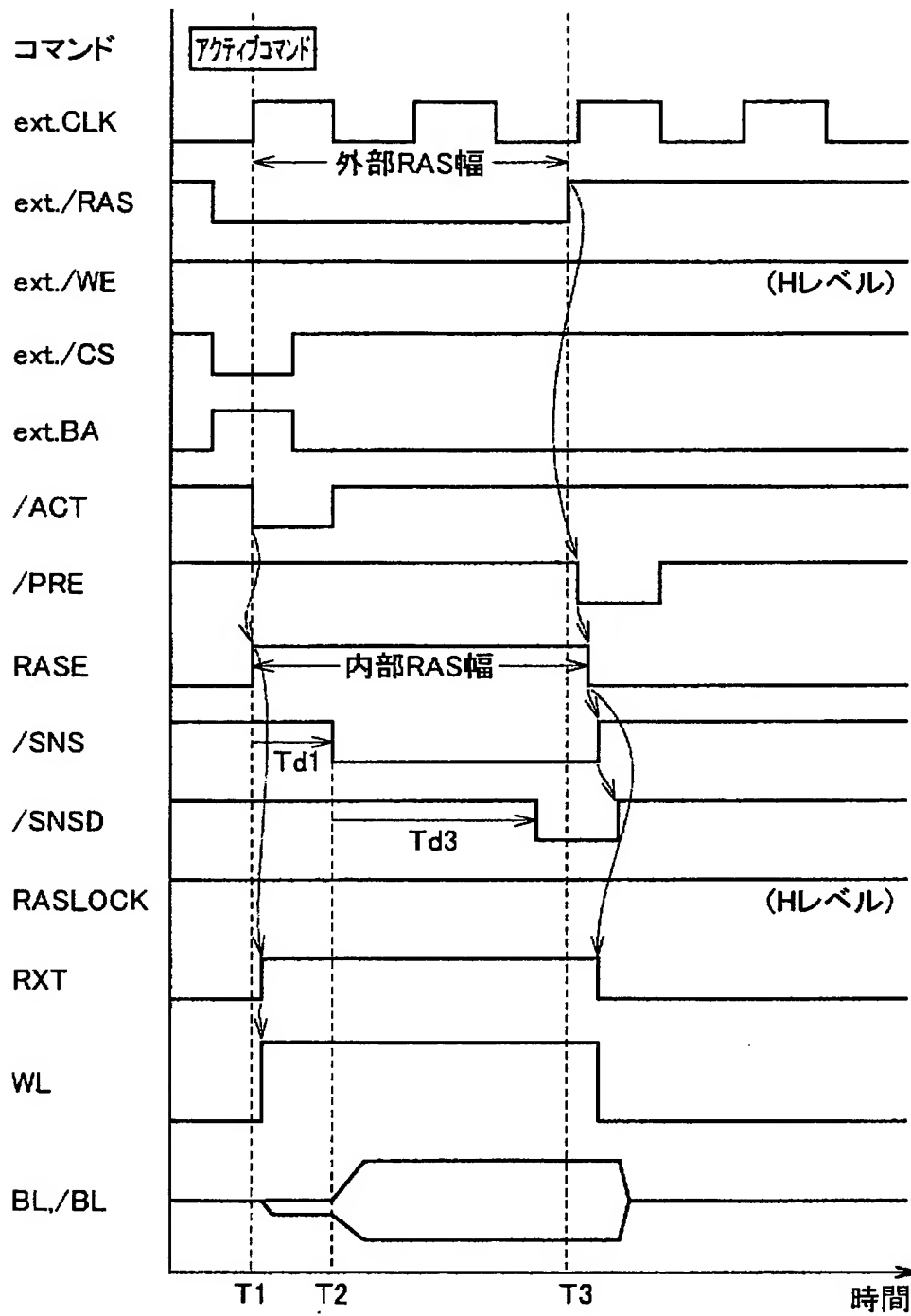


【図 1 5】



52A

【図 1 6】



【書類名】 要約書

【要約】

【課題】 テストモード時、内部 R A S 幅を外部から制御することができる半導体記憶装置を提供する。

【解決手段】 内部 R A S 発生回路 5 2 は、外部から受ける制御指令に基づいて、ワード線の活性化を指示する内部信号 R A S E を発生する。ここで、内部 R A S 発生回路 5 2 は、少なくとも内部 R A S 保証信号発生回路 5 6 から受ける内部 R A S 保証信号 R A S L O C K がアサートされている期間は、ワード線の不活性化を指示する制御指令に拘わらず、内部信号 R A S E を活性化する。内部 R A S 保証信号発生回路 5 6 は、通常動作モード時、リストア動作を保証する所定期間が経過するまで内部 R A S 保証信号 R A S L O C K を活性化し、テストモード時は、内部 R A S 保証信号 R A S L O C K を不活性化する。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 6 0 1 3]

1. 変更年月日 1 9 9 0 年 8 月 2 4 日
[変更理由] 新規登録
住 所 東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名 三菱電機株式会社